

# Особенности топологии и производства современных печатных плат

Андрей ПЕРЕСАДИН,  
инженер

**Основными тенденциями современной электроники применительно к печатным платам являются увеличение скорости передачи данных и повышение плотности монтажа. Несмотря, на первый взгляд, несхожесть этих факторов, мы решили их объединить и рассмотреть в одной статье.**

В первой части статьи, написанной на основе [1], рассматриваются ключевые факторы, обеспечивающие успешное проектирование высокоскоростных надежно функционирующих печатных плат, и описываются некоторые распространенные проблемы, связанные с целостностью сигнала. Во второй части статьи, написанной на основе [2], рассматриваются особенности новых архитектур Ultra HDI и те преимущества, которые дает их применение.

Возможно, наиболее важным фактором в проектировании высокоскоростных плат является импеданс межсоединений. Для высокоэффективной передачи энергии выходной импеданс драйвера линии должен быть согласован с ее импедансом. Как известно, энергия никогда бесследно не теряется – она лишь преобразуется в другие формы. В частности, в несогласованной линии передачи энергия преобразуется в тепло, передается в рядом расположенные элементы, отражается или излучается.

Понятие импеданса составляет основу методологии, которая используется для решения проблем целостности сигнала. Результаты построения межсоединений на печатной плате показывают (рис. 1), что трассировка шины адреса для DDR-памяти совсем не совпала с задуманной разработчиком. В рассматриваемом случае любая из 15 отдельных линий передачи, которые образуют только одно межсоединение DDR-сигнала, может создавать проблемы, если проложена некорректно.

Для работы интерфейсов с синхронизацией от источника сигнала, например интерфейсов DDR-памяти, необходимо, чтобы сигналы данных поступали на нагрузку одновременно со стробом данных. Такая синхронизация достигается путем согласования задержек всех сигналов между линиями данных и стробами с определенным допуском. Хотя сигналы

адреса и управляющие сигналы согласованы с тактовой частотой, у них менее строгий допуск. Однако согласование длин не гарантирует равномерной задержки распространения каждого сигнала.

У проводников одинаковой длины, проложенных на разных слоях, – разные задержки, особенно при сравнении микрополосковых (внешние слои) и полосковых линий (внутренние слои) из-за разных диэлектрических материалов (включая воздух), окружающих эти проводники. Следовательно, шины и связанные с ними сигналы управления должны проходить по одному и тому же слою или по симметричному слою вертикальной сборки. Однако если они проложены на разных слоях, их задержки должны быть согласованы.

Обычно для согласования длины этих критических сигналов используются дорожки петлеобразной формы из расчета, что электрический путь проходящего по ним сигнала такой же, что при распространении по прямому проводнику, и не появляются паразитные элементы. Однако по мере совершенствования технологий и увеличения спроса на проводники меньшей длины с меньшим зазором и меньшим временем нарастания импульсов наше допущение перестает быть верным. На практике оказывается, что задержка распространения по петлеобразной дорожке меньше задержки сигнала на прямой дорожке с эквивалентной длиной. Сигнал в змеевидном проводнике ускоряется за счет того, что его часть распространяется перпендикулярно «серпантину». Это обстоятельство также зависит от типа используемого петлеобразного проводника. Например, такой проводник может состоять из длинных параллельных сегментов, расположенных близко друг к другу, что усиливает связь сигнала по всей

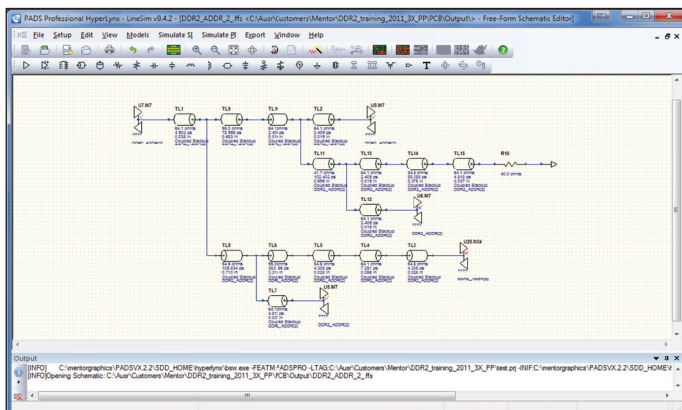


Рис. 1. Модель сигнала DDR-адресации (симуляция в HyperLynx)

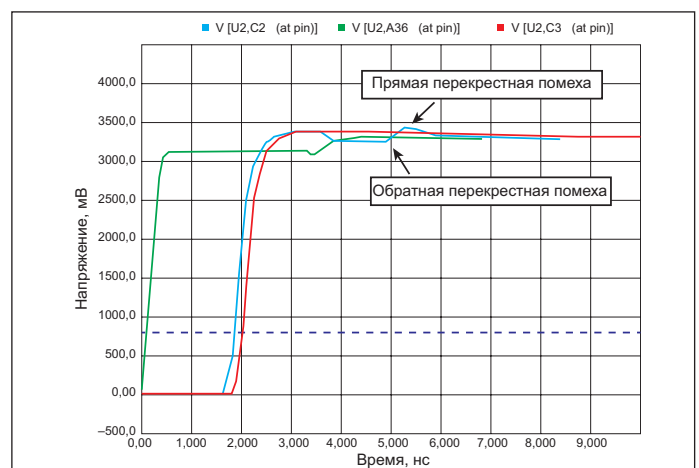


Рис. 2. Сравнение сигналов, проходящих по тесно связанному змеевидному проводнику, и сигнала, распространяющегося по прямому проводнику (микрополосковой линии)

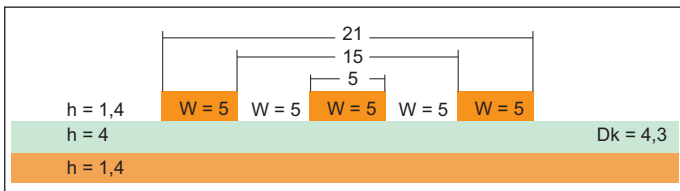


Рис. 3. Симметричный копланарный волновод с заземляющей плоскостью (симуляция в iCD CPW Planner)

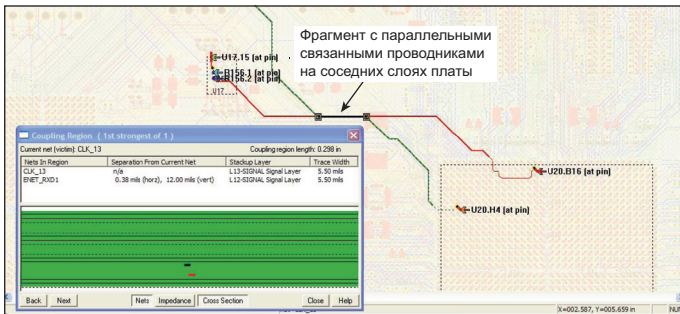


Рис. 4. Результат симуляции перекрестных помех в HyperLynx между параллельными проводниками на соседних слоях

структуре. Эта связь, включающая прямые и обратные перекрестные помехи, эффективно сокращает электрический путь.

На рис. 2 зеленая кривая соответствует сигналу драйвера, а красная — сигналу, проходящему по прямой (опорной) дорожке. Синим цветом обозначена змеевидная дорожка, сигнал на которой опережает сигнал на опорной дорожке на 150 пс несмотря на то, что длина проводников одинаковая. Пик и впадина на синей кривой (от 4 до 6 нс) указывает на обратные и прямые перекрестные помехи, соответственно, при тесной связи сегментов дорожки. В этом случае согласования задержки проводников может оказаться недостаточным, и результирующая задержка в 150 пс может превысить установленный допуск.

Задержка тактового сигнала — еще одна распространенная проблема, с которой регулярно сталкиваются разработчики. Тактовый (или стробирующий) сигнал в интерфейсах с синхронизацией от источника сигнала должен иметь самую большую задержку в пределах группы шин. Синхронные интерфейсы однозначно невосприимчивы к перекрестным помехам при условии, что сигналы данных синхронизируются после того, как они установились во время удержания.

Однако если задержка тактового сигнала короче задержки сигнала данных, она может синхронизоваться в течение времени установления, и могут возникнуть перекрестные помехи. Рекомендуется прокладывать тактовый сигнал/строб в последнюю очередь, чтобы его путь был самым длинным. Заземляющая медная заливка также влияет на импеданс критического проводника. Однако ее размещение по одну или обеим сторонам дорожки фактически создает копланарный волновод, который может уменьшить импеданс в точке соединения на проводнике.

Если импеданс отдельного проводника составляет 60 Ом, максимальная разница между импедансами  $Z_0$  при построении копланарного волновода равна 9,2% (рис. 3):

- $Z_0$  автономного проводника: 60 Ом;
- $Z_0$  заземляющего медного слоя с обеих сторон: 55,26 Ом.

Эффективность заземляющих медных слоев может быть высокой на аналоговой двухслойной плате с большим импедансом, но они не позволяют существенно снизить перекрестные помехи на цифровых многослойных платах с малым импедансом, поскольку между проводниками и плоскостью имеется тесная связь. Кроме того, заземляющие медные слои изменяют импеданс рядом расположенных проводников, вызывая отражения. По этой причине не рекомендуется использовать медную заливку на платах с цифровыми сигналами. Для предотвращения этой проблемы создается зазор в 500 мкм (20 мил).

При проектировании высокоскоростной линии передачи на печатной плате следует не только обеспечить должное прохождение сигнала

### На заметку

- Наиболее важным фактором в высокоскоростном проектировании печатных плат является импеданс межсоединений.
- Понятие импеданса составляет основу методологии, которая используется для решения проблем целостности сигнала.
- У проводников одинаковой длины, проложенных на разных слоях, — разные задержки. Шины и соответствующие им управляющие сигналы должны проходить по одному и тому же слою или симметричному слою вертикальной структуры. Если же они проложены на разных слоях, задержки на них должны быть согласованы.
- Задержка распространения по змеевидной дорожке меньше задержки сигнала вдоль прямого проводника с эквивалентной длиной.
- Тактовый (или стробирующий) сигнал в интерфейсах с синхронизацией от источника сигнала должен иметь самую большую задержку в пределах группы шин.
- Размещение медной заливки по одну или обеим сторонам проводника фактически создает копланарный волновод, который может уменьшить импеданс в точке соединения на проводнике.
- Эффективность заземляющих медных слоев может оказаться высокой на аналоговой двухслойной плате с большим импедансом, но они не позволяют существенно снизить перекрестные помехи на цифровых многослойных платах с малым импедансом, поскольку между проводниками и плоскостью имеется тесная связь.
- Разработчику печатной платы рекомендуется визуализировать конфигурацию тракта обратного тока во избежание появления контуров с большой площадью, которые увеличивают последовательную индуктивность.
- Каждый сигнальный слой должен быть тесно связан с опорной плоскостью для создания непрерывного обратного тракта.
- Обратный ток отклоняется из-за нарушения непрерывности импеданса, в результате чего увеличиваются площадь контура, индуктивность и задержка.
- Перекрестные помехи могут возникать либо между проводниками одного слоя, либо между соседними вертикальными слоями из-за поперечной связи.
- Поперечную связь сложнее обнаружить, поскольку при оценке перекрестных помех основное внимание обычно уделяется зазору между дорожками.
- Смежные параллельные вертикально расположенные и поперечно связанные проводники в большей мере испытывают влияние перекрестных помех, чем соседние проводники на одном слое, из-за большей области связи и меньшего интервала между ними.
- Соседние сигнальные слои в стеке рекомендуется располагать перпендикулярно друг другу, чтобы минимизировать зону связи.
- Рекомендуется размещать несвязанные критические сегменты проводников на расстоянии, в три раза превышающем их ширину.

от драйвера к приемнику, но и учесть наличие схемы распределения питания (PDN), взаимодействие с ней, а также контур обратного тока. Логическая принципиальная схема скрывает детали, имеющие решающее значение для функционирования непредусмотренных сигнальных трактов. Эти детали важны для оценки качества сигнала, перекрестных помех и электромагнитных излучений. Разработчику платы рекомендуется визуализировать конфигурацию тракта обратного тока во избежание контуров с большой площадью, которые увеличивают последовательную индуктивность, ухудшают целостность сигнала, усиливают перекрестные помехи и электромагнитное излучение.

Импеданс заземления является основной причиной почти всех проблем, связанных с целостностью сигналов и питания; для их решения требуется, чтобы он был низким. Хотя непрерывная заземляющая опорная плоскость эффективно справляется с этой задачей, ее решение усложняется с добавлением плоскостей в многослойной печатной плате. Плоскость с заземления служит надежным трактом для обратного сигнала при условии, что она непрерывна под этим трактом.

Необходимо также понимать роль опорной плоскости и обеспечить управление обратным током смещения сигнала. Каждый сигнальный слой должен быть тесно связан с опорной плоскостью для создания непрерывного обратного тракта. По мере увеличения количества слоев связь между ними и заземляющей опорной плоскостью возрастает, но усложняется построение требуемых трактов обратного тока.

Обратный ток высокоскоростного цифрового сигнала с малым временем нарастания фронта всегда следует по пути наименьшей индуктивности, который находится непосредственно под сигнальным трактом. Обратный ток отклоняется из-за нарушения непрерывности импеданса, в результате чего увеличивается площадь контура, индуктивность и задержка.

Наилучший способ определить разрывы импеданса – проследить прохождение сигнала по тракту и предположить, что обратный путь тесно связан с ближайшей плоскостью. При наличии в стеке слоев нескольких плоскостей ток смещения проходит по пути наименьшей индуктивности в тесной связи с сигнальным проводником. Если на пути обратного тока имеется разрыв, ток переходит на другую плоскость с непрерывным импедансом, и индуктивность тракта повышается.

Перекрестные помехи могут возникать либо между проводниками одного слоя, либо между соседними слоями платы из-за поперечной связи (рис. 4). Эту связь сложнее обнаружить (особенно на внешних слоях собранной платы), поскольку при оценке перекрестных помех основное внимание обычно уделяется зазорам между дорожками. Обнаружить эту проблему позволяет симулятор. Смежные параллельные вертикально расположенные и поперечно связанные проводники в большей мере испытывают влияние перекрестных помех, чем соседние проводники на одном слое, из-за большей области связи и меньшего интервала между ними.

Таким образом, соседние сигнальные слои в стеке рекомендуется располагать перпендикулярно друг другу, чтобы минимизировать

зону связи. При интерактивной маршрутизации разработчики часто группируют сигналы исходя из эстетических соображений. Однако, несмотря на внешнюю привлекательность таких решений, они не обеспечивают наилучшее качество сигнала. Рекомендуется также размещать несвязанные критические сегменты проводников на расстоянии, в три раза превышающем их ширину. Если же пространство ограничено, высоту проводника относительно плоскости в стеке можно уменьшить, чтобы увеличить связь.

Проектирование высокоскоростной платы включает в себя ряд факторов, обеспечивающих высокую работоспособность и целостность сигнала. Согласование импеданса – основа решения проблем, связанных с целостностью сигнала. С учетом рассмотренных требований у разработчиков появится возможность реализовать высокоскоростные и надежно функционирующие платы.

### Новые архитектуры Ultra HDI

Архитектура Ultra HDI, реализованная с помощью технологии очень высокой плотности соединений, привлекает многих производителей как преемница традиционной HDI-архитектуры, которой уже 40 лет. Однако отличия UHDI от HDI заключаются не только в том, что проводники стали тоньше, а занимаемое на плате пространство меньше. К настоящему времени разработаны архитектуры, которые дополняют новую высокоплотную литографию.

На рис. 5 показаны четыре из них:

- 1) слепые микроотверстия [3];
- 2) вертикальные проводящие структуры (VeCS) [4];
- 3) взаимосвязанная сетевая система питания (IMPS) [5];
- 4) сеть распределения питания [6].

На рис. 6 показано расположение микроотверстий под разными углами относительно контактных площадок (КП) BGA-выводов, а в таблице даны размеры микроотверстий с учетом шага BGA-выводов и размеров контактных SMT-площадок.

Одним из основных преимуществ HDI-технологии, и особенно Ultra HDI, является использование миниатюрных элементов. Благодаря очень малым размерам отверстий и площадок их можно располагать под разными углами относительно контактных BGA-площадок, как показано на рис. 6. Величины углов и расстояния (см. таблицу) зависят от шага BGA-выводов, а также от расположения микроотверстия относительно SMT-площадки BGA-выводов (рис. 7).

### HDI-стеки

В [3] рассматривается несколько многослойных конфигураций с распределенной емкостью и парами слоев маршрутизации X-Y (рис. 8). Для построения более мелких элементов в технологиях UHDI и HDI требуется уменьшить толщину диэлектриков, чтобы сохранить необходимые значения импедансов. В результате уменьшаются пере-

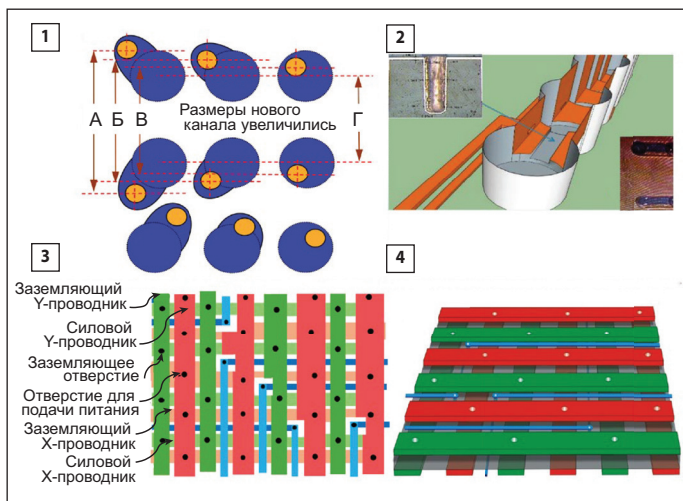


Рис. 5. 1) малый размер микроотверстий для межсоединений BGA; 2) VeCS – 3D-архитектура соединений с любым внутренним слоем без ламинирования или нанесения покрытия; 3) в топологии IMPS используются более тонкие проводники и микроотверстия с целью сокращения количества слоев до двух копланарных плоскостей; 4) в отличие от топологии IMPS, заземляющая плоскость в сетевой структуре распределения питания является опорным слоем для обратного сигнала, а сигнал и питание подаются по внутренним слоям

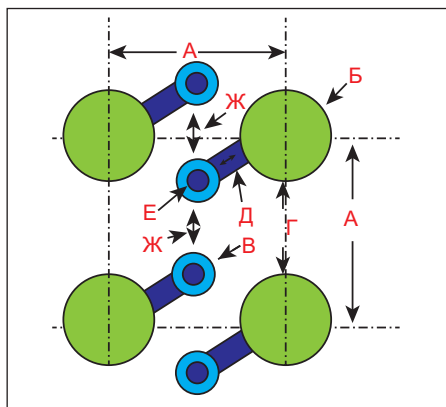


Рис. 6. Расположение перемещаемых микроотверстий относительно контактных площадок для BGA-выводов

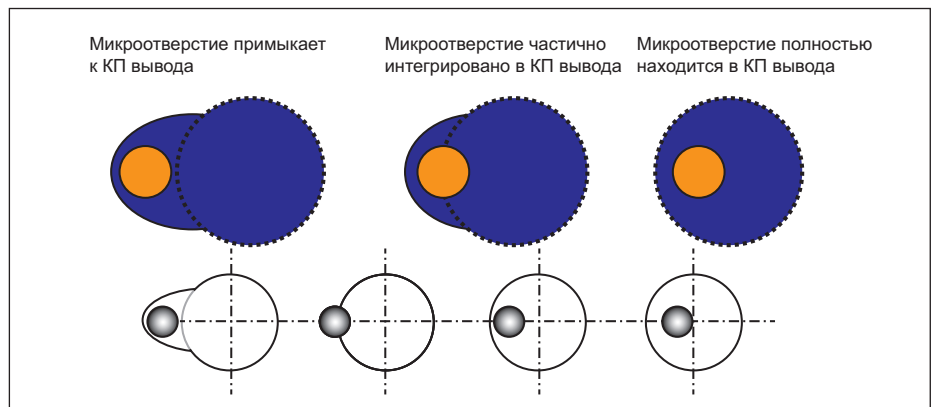


Рис. 7. Расположение микроотверстий с КП внутри контактных площадок компонента зависит от шага BGA-выводов, размера этих площадок и размера площадок микроотверстий

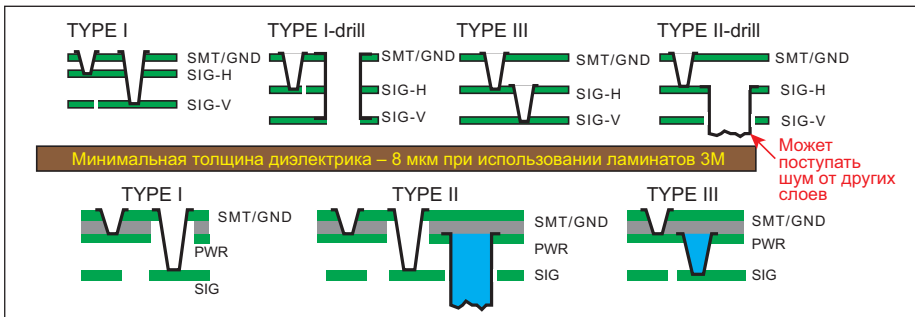


Рис. 8. Многослойные структуры трех типов согласно рекомендациям IPC (вверху) и альтернативные конфигурации поверхностных HDI-слоев с заземлением (GND) и питанием (PWR) (внизу)

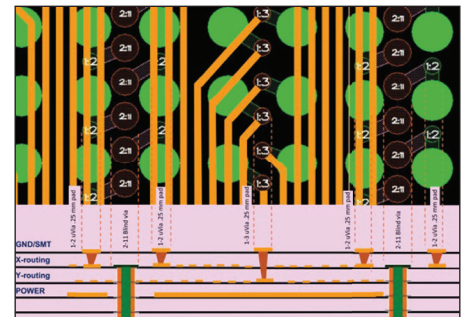


Рис. 9. Вид сверху и сбоку на микроотверстия: плотность трассировки и массивов отверстий возросла

**Таблица.** Размеры микроотверстий с учетом шага BGA-выводов и размеров контактных SMT-площадок

Шаг BGA A, мм		0,4	0,5	0,65	0,8	1,0
Диаметр SMT-площадки Б, мм	a	0,22	0,25	0,30	0,40	0,50
	б	0,20	0,22	0,25	0,35	0,45
	в	0,18	0,20	0,22	0,30	0,40
Диаметр площадки отверстия В, мм	a	0,20	0,24	0,26	0,28	0,30
	б	0,16	0,2	0,21	0,23	0,25
	в	0,12	0,16	0,16	0,18	0,2
X-Y-расстояние между BGA-площадками Г, мм	a	0,18	0,25	0,35	0,40	0,50
	б	0,20	0,28	0,40	0,45	0,55
	в	0,22	0,30	0,43	0,5	0,6
Кратчайшее расстояние между отверстием и BGA-площадкой Д, мм	a	0,346	0,457	0,619	0,731	0,914
	б	0,366	0,487	0,669	0,781	0,964
	в	0,386	0,507	0,699	0,831	1,014
Диаметр отверстия Е, мм	a	0,146	0,257	0,419	0,531	0,714
	б	0,166	0,287	0,469	0,581	0,764
	в	0,186	0,307	0,499	0,631	0,814
Расстояние между площадками отверстий Ж, мм	a	0	0,01	0,065	0,12	0,2
	б	0,04	0,05	0,115	0,145	0,22
	в	0,08	0,09	0,165	0,175	0,25

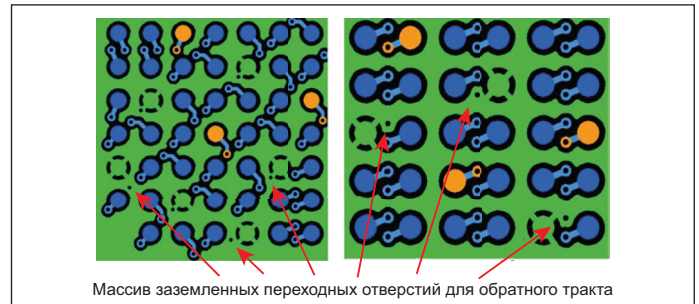


Рис. 10. Примеры расположения микроотверстий под BGA-выводы с малым шагом. Обратный заземляющий тракт объединен с SMT-площадками для повышения плотности элементов и целостности сигнала

крестные помехи, улучшается целостность сигналов и сохраняется малый импеданс PDN-цепей.

Многослойные HDI-конфигурации можно использовать для построения линий передачи с контролируемым импедансом по UHDI-технологии, поскольку в таком случае толщина диэлектрических слоев уменьшается. Использование горизонтальных и вертикальных пар с соединениями через микроотверстия позволяет повысить целостность сигнала.

**Высокоплотная трассировка**

Наиболее заметным преимуществом HDI-структур являются дополнительные возможности трассировки с помощью внутренних слоев (рис. 9). Дополнительные каналы маршрутизации появляются благодаря совместному использованию микроотверстий, сосредоточенных рядом с BGA-выводами. Такой результат был недостижим с помощью стандартной конфигурации трассировки «север–юг–восток–запад» методом dog-bone («собачья кость») и только с двумя слоями. При этом используется перемещенная на поверхность заземляющая плоскость, которая позволяет улучшить прохождение обратного сигнала. Сложные и высокоплотные BGA-компоненты можно соединить с помощью очень малого количества дополнительных слоев, повысив надежность и простоту конструкции (рис. 10).

**Вертикальные проводящие структуры (VeCS)**

Структура VeCS была разработана компанией NextGIn Technologies (Нидерланды) в 2017 г. Инновационная 3D-структура обеспечивает с

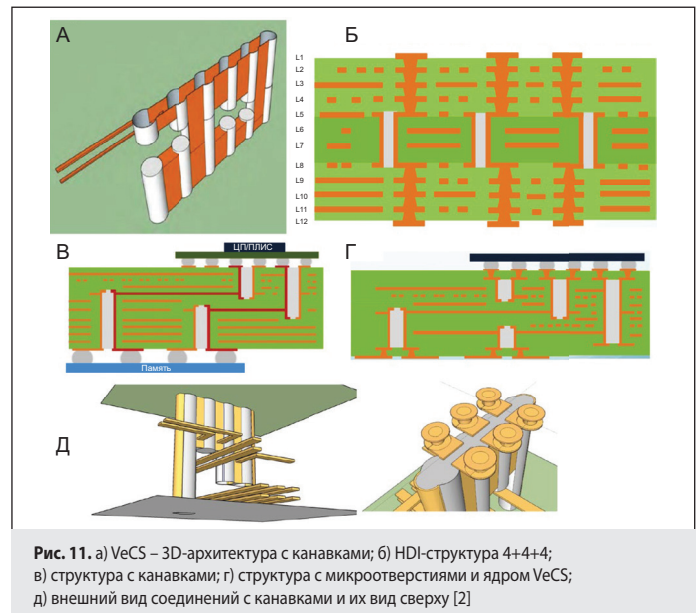


Рис. 11. а) VeCS – 3D-архитектура с канавками; б) HDI-структура 4+4+4; в) структура с канавками; г) структура с микроотверстиями и ядром VeCS; д) внешний вид соединений с канавками и их вид сверху [2]

помощью канавок вертикальные соединения слоев друг с другом без двойного ламинирования. Канавки создаются сверлением на разную контролируемую глубину, позволяют нанести металлический слой и покрытие, как видно из рис. 11а.

На рис. 11б в качестве примера приводится HDI-структура 4+4+4, взамен которой используется архитектура VeCS (рис. 11в), изготовленная методом только единичного ламинирования без просверленных лазером микроотверстий. На рис. 11г показана структура с микроотверстиями поверх ядра VeCS. На рис. 11д представлена объемная визуализация VeCS-структуры соединений с канавками на внутреннем слое и соединения на поверхности.

Межсоединения в архитектуре VeCS, обеспечивающей подключение к внутренним слоям, реализованы с помощью трассируемых каналов (канавок) в печатной плате, на которые легче наносится слой металлизации и покрытия, чем на переходные отверстия с высоким

соотношением сторон. Каналы изготавливаются с использованием уже имеющегося оборудования для производства печатных плат.

Таким образом, высокая плотность размещения элементов платы достигается без значительного увеличения расходов, но при этом упрощаются процессы изготовления, улучшаются электрические характеристики и надежность. Компания NextGIn Technologies уже разработала следующий техпроцесс и приложения:

- VeCS-1: канал (канавка) проходит через подложку;
- VeCS-2: каналы сформированы как слепые отверстия или в гибридной слепой и сквозной комбинациях;
- VeCS-HDI: просверленные лазером микроотверстия используются для выводов с малым шагом.

Благодаря каналам, сформированным с обеих сторон, вертикальные проводники обеспечивают значительно большую плотность без двойного ламинирования. Замена большего сквозного отверстия канавками повышает целостность питания новых энергоемких чипов, снижая индуктивность и емкость с целью улучшения целостности сигнала.

### Канал или канавка

Металлизация и нанесение покрытия толщиной 0,3 мм осуществляется на стенки типовой несквозной канавки (см. рис. 7а) на глубину 0,47–1,23 мм и длину 0,6–1,8 мм. При использовании стандартных гальванических ванн достигается высокое качество покрытия большинства канавок. Новые альтернативные технологии сверления позволяют успешно изготавливать каналы с толщиной покрытия 0,1 мм, прямыми стенками и без зазубрин.

### Процесс изготовления

Процесс реализации архитектуры VeCS начинается с создания стандартной многослойной конфигурации со сквозными отверстиями. Этот процесс состоит из следующих восьми этапов:

- 1) создание канавок;
- 2) нанесение покрытия на канавки;
- 3) выравнивание относительно BGA-выводов;
- 4) заливка смолой PR-канавок\* и PR-трафарета;
- 5) сверление CR-канавок;
- 6) при использовании вертикальных проводников сверлятся BR-каналы;
- 7) применение BR/CR-трафарета;
- 8) заливка смолой BR/CR-канавок.

После сверления переходных отверстий изготавливаются CR-канавки (cross-rout) с помощью специального сверла для этой операции. Затем выполняется металлизация и меднение, после чего канавки заполняются смолой. Отверждение является важным этапом перекрестной трассировки, которая создает вертикальные соединения.

При использовании вертикальных проводников сверлятся BR-канавки (back-rout). Затем определенные переходные отверстия и канавки заполняются смолой и отверждаются. На этапе 7 осуществляется селективное электролитическое осаждение, в процессе которого выполняется также окончательное травление. Наконец, плата покрывается паяльной маской, проходит заключительные этапы обработки и изготовления.

### Взаимосвязанные сетевые структуры питания (IMPS)

В конце 1990-х гг. на тонкопленочные многокристалльные модули с послойным наращиванием (MCM-D) возлагались большие надежды. Ожидалось, что прецизионная литография с легкостью обеспечит требуемую миниатюризацию. К сожалению, четыре или пять металлических слоев, к которым с помощью проволоочного соединения подключались интегральные схемы (ИС), оказались слишком дорогостоящими в сравнении с многослойными печатными платами и интеграцией кремниевых ИС с BGA-контактами.

\* PR-канавка на печатной плате – это тип отверстия, предназначенного для установки компонентов с помощью технологии Press-fit, без использования пайки.

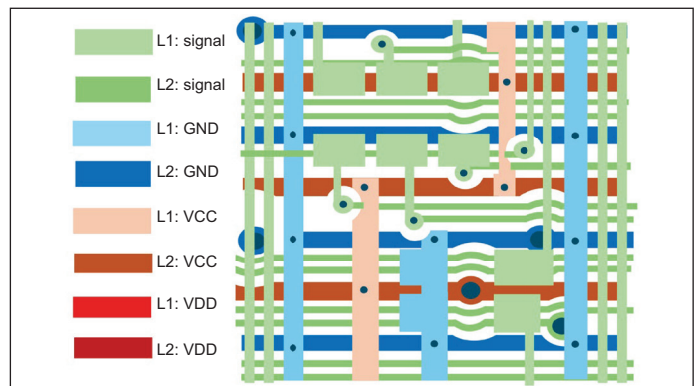


Рис. 12. Этапы проектирования IMPS с использованием только двух металлических слоев

Технология IMPS была создана с целью снижения стоимости и количества металлических слоев в тонкопленочных и керамических многокристалльных модулях. Поскольку IMPS-топология позволяет сократить число металлических слоев всего до двух–трех, существенно снижается стоимость печатных плат, а их изготовление упрощается, не влияя на электрические характеристики.

### История появления технологии IMPS

Ученые из Центра высокоплотной электроники (HiDEC) Университета Арканзаса разработали IMPS-технология в середине 1990-х гг. IMPS обеспечивает низкоиндуктивное копланарное распределение питания и заземления, а также передачу сигнала по высокоплотным соединениям с помощью всего двух слоев с контролируемым импедансом и малыми перекрестными помехами.

В стандартной топологии с использованием металлической проволоки сигналы проходят по одному металлическому слою, а питание и заземление – по отдельным металлическим слоям. При этом дорогостоящие металлические слои используются только на 50–60%, а слои питания/заземления – в два раза реже.

Ширину проводников можно уменьшить (при допустимом ослаблении сигнала), но интервалы между ними сократить нельзя. Поскольку высокоскоростные сигналы с коротким временем нарастания чувствительны к перекрестным помехам, сигналы необходимо разделять. В технологии IMPS это разделение используется для трассировки питания и заземления. Чтобы предотвратить нехватку тока в устройствах, соседний ортогональный металлический слой соединяется скрытыми переходными отверстиями на каждом стыке, где два слоя пересекаются друг с другом.

Эта топология с использованием пар слоев представляет собой взаимосвязанную сетевую структуру, которая обеспечивает таким образом все соединения питания/заземления без потери напряжения и передачу сигнала устройствам.

### Проектирование с помощью IMPS-технологии

Итак, IMPS-технология была разработана для проектирования многокристалльных модулей с послойным наращиванием (MCM-D) с использованием тонкопленочной металлизации на жидких диэлектриках. К счастью, технологии производства печатных плат за последние 30 лет усовершенствовались, благодаря чему теперь успешно освоено изготовление UHDI-изделий с использованием полуаддитивной (SAP) металлизации на полиимидной пленке или органических пленках ABF, включая металлизированный термостойкий ламинат.

Архитектура IMPS строится на применении сетевого распределения питания в проектировании интегральных схем. Однако для формирования этой сети в IMPS-структуре вместо одного используются два металла и смежные слои, соединенные переходными отверстиями (рис. 12). На рис. 12 L1 и L2 образуют заземляющую сеть, а L1: VCC – L2: VCC и L1: VDD – L2: VDD – сеть питания. Они объединены с открытой областью трассировки X-Y, как показано на L1: сигнал – L2: сигнал.

### Применение высокоплотных конфигураций MCM-BGA

В 1996 г. исследователи из центра HiDEC использовали гибкую пленку и ленту для поддержки шариков припоя BGA (TBGA) наряду с микропереходами и топологией MPS для создания многокристального модуля на многослойном основании (MCM-L) всего с двумя металлическими слоями вместо обычных четырех металлических слоев MCM-D. Этот испытательный образец состоял из двух металлических IMPS-слоев, по которым распространялся сигнал и распределялось питание по двум сторонам полиимидной пленки. На ее одной герметизированной стороне располагались монтажные площадки, к которым проволокой были припаяны кристаллы и дискретные элементы. На другой стороне размещались площадки в виде массива шариковых выводов. Часть структуры IMPS схематично показана на рис. 12.

Опытный образец был изготовлен из материала Sheldahl толщиной 0,05 мм – бесклеевой полиимидной пленки ViaThin. Толщина линий и интервалов составила 50 мкм; использовались 150-мкм контактные площадки поверх 25-мкм отверстий, полученных лазерным сверлением. Сеть IMPS состояла из 200-мкм линий и интервалов размером 50 мкм, причем линии были смещены от центров «строк» или «столбцов» отверстий.

Площадки для проволоочного соединения состояли из прямоугольников размером 200×350 мкм на обоих металлических слоях и соединялись друг с другом двумя отверстиями.

### Архитектура сети распределения питания (PMA)

Архитектура силовой сетки была позаимствована из системы взаимосвязанного сетевого питания (IMPS), разработанной и запатентованной центром HiDEC [7]. Напомним, что топология IMPS была создана для снижения стоимости и числа металлических слоев в тонкопленочных и керамических многокристалльных модулях.

Архитектура PMA для печатных плат показана на рис. 13. В [7] также представлены табличные значения импеданса для разных проводников разной толщины. Кроме того, рассматривается исходное применение PMA-архитектуры, а также приложение, которое помогает разработать модель для расчета плотности трассировки межсоединений в этой архитектуре.

В 1993 г. крупный производитель электроники столкнулся с необходимостью перепроектировать плату управления своего самого большого жесткого диска на 3,5 дюйма. Платы имели стандартный размер 3,87×5,45 дюйма, но проблема была в том, что в плате требовалось вырезать отверстие диаметром 2,8 дюйма, чтобы добавить к диску еще один накопитель. Суммарная емкость дисков составила бы 16 Гбайт, что было довольно много для того времени. Решением проблемы потери более 6 из 17,5 кв. дюймов стало использование микроотверстий, а также микроотверстий в контактных площадках. Новая плата с микроотверстиями (под названием Lунх) была разработана с меньшей площадью поверхности как шестислойная конструкция (1+4+1), у которой было на два слоя меньше, чем у исходной платы.

В 1994 г. плата Lунх была доработана до четырехслойной конструкции. Для минимизации числа микроотверстий два внешних слоя (1 и 4) стали заземляющими, а по внутренним слоям подавалось только питание и сигналы.

### Электрическая модель

На рис. 13 представлено поперечное сечение структуры PMA. Симуляция показала, что эта структура создает условия для появления небольших перекрестных помех. Каждый сигнальный проводник шириной  $X$  находится на расстоянии примерно в  $3X$  или  $4X$  дальше от следующего сигнального проводника в зависимости от ширины дорожки питания. В результате возникают горизонтальные перекрестные помехи с относительной величиной менее 2%. Вертикальные перекрестные помехи очень малы: от 15 мВ/В для тонких сердечников (0,3 мм) до 2,6 мВ/В для толстого сердечника (1,3 мм).

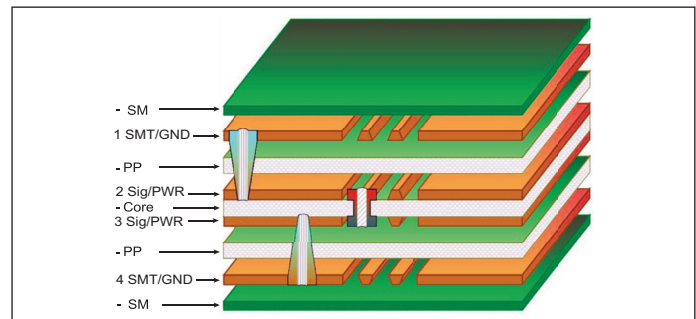


Рис. 13. Сеть распределения питания построена на основе архитектуры IMPS, но без трассировки заземляющей шины. Эта сеть представляет собой смещенную копланарную полосковую модель линии передачи [5]

### Модель разводки

В 1994 г. StorageTek, OEM-производитель из шт. Колорадо, выполнил сравнительный анализ работоспособности проектируемых и изготавливаемых плат с микроотверстиями. Успехи этого анализа способствовали дальнейшему использованию микроотверстий. В 1998 г. стала очевидной потребность в некоторой модели разводки, чтобы установить необходимость в использовании структуры с микроотверстиями. При создании этой модели был разработан сравнительный анализ сети распределения питания для одной из плат с микроотверстиями. Ниже в общих чертах представлена модель для расчета плотности межсоединений в PMA-архитектуре.

Сеть распределения питания: 17–40 дюймов сигнальных проводников на кв. дюйм и на слой (зависит от ширины проводников и интервалов):

- расчет статистической плотности межсоединений с помощью модели Coors, Anderson & Seward [4];
- расчет плотности межсоединений методом «Манхэттен» с помощью уравнения  $Wd = 0,0068X^2 - 0,1644X + 35,1$ , где  $X$  – статистическая плотность межсоединений по модели Coors;
- расчет индекса трассируемости для силовой сети;
- расчет эффективности топологии [5].

### Выводы

Применение новых топологий микроотверстий с меняющимися расположением переходными отверстиями, структурами VeCS, IMPS и сетями распределения питания доказало работоспособность приложений, упрощающих сложные многослойные архитектуры, PBGA и MCM-модули, с помощью технологии UHDI. Технология VeCS позволяет снизить затраты на технологический процесс, IMPS-система – уменьшить структуру до двух металлических слоев, и использовать в сети распределения питания четырехслойную усиленную ламинированную структуру. Полученные на практике результаты свидетельствуют, что эти топологии можно с успехом применять для создания межсоединений и корпусирования электронных изделий. ■

### Литература

1. Barry Olney. Key SI Considerations for High-Speed PCB Design. Design007 Magazine. March 2025.
2. Happy Holden. Novel Ultra HDI Architectures. Happy's Tech Talk #31. I-Connect007.
3. Happy Holden. Chapter 3: Swing Vias. The HDI Handbook. I-Connect007.
4. Happy Holden. Happy's Tech Talk #1. Vertical Conductive Structures (VeCS). PCB007 Magazine. October. 2021.
5. Happy Holden. Articles on VeCS for PBC007 Magazine.
6. Happy Holden. Happy's TechTalk #27. Integrated Mesh Power System (IMPS) for PCBs. PCB007 Magazine. March 2024.
7. Happy Holden. Happy's Tech Talk #28. The Power Mesh Architecture for PCBs. PCB007 Magazine. April 2024.