

ВЛИЯНИЕ РАЗВЯЗЫВАЮЩИХ КОНДЕНСАТОРОВ НА КАЧЕСТВО ЭЛЕКТРОПИТАНИЯ И ЦЕЛОСТНОСТЬ СИГНАЛА

ЧАНГ ФЕЙ ЙИ (CHANG FEI YEE), Keysight Technologies

В статье рассматривается влияние развязывающих конденсаторов на печатной плате на качество электропитания и целостность сигнала. Исследование было выполнено путем совместного моделирования качества электропитания и целостности сигнала в созданной топологии для анализа импеданса цепи питания, шума коммутации и глазковых диаграмм.

ВВЕДЕНИЕ

Разработчикам оборудования крайне важно знать резонансную частоту каждого элемента (например, блокировочного/развязывающего конденсатора, планарного конденсатора и индуктивности межсоединения) цепи питания на печатной плате и ее влияние на качество электропитания. Низкое качество электропитания печатной платы, например, из-за более высокого, чем планировалось, импеданса цепи питания в широком диапазоне частот приводит к одновременному появлению шума коммутации (SSN) и сужению глазковой диаграммы сигнала, передаваемого интегральной схемой, которая подключена к этой цепи питания.

В статье рассматривается совместное моделирование качества электропитания и целостности сигнала в разработанной топологии с помощью ПО Mentor HyperLynx с целью анализа влияния развязывающих конденсаторов на импеданс цепи питания, SSN и глазковые диаграммы.

АНАЛИЗ И РЕЗУЛЬТАТЫ

Исследовалась печатная плата, содержащая систему-на-кристалле (СнК) с интерфейсом памяти DDR4. На рисунке 1а показана цепь питания на 1,2 В, расположенная на слое 4, которая подает напряжение на интерфейс памяти с одной ИС (выводы выделены синим цветом). При этом цепь заземления, или опорная земля, выделенная зеленым цветом, располагается на слое 5. ИС памяти имеет 13 выводов питания BGA. Места, занимаемые развязывающими конденсаторами емкостью 0,22 мкФ (выделены коричневым цветом) в корпусе типа 0201, находятся между выводами каждого контакта питания и заземления. Кроме того, между цепью 1,2 В и заземлением включены шунтирующие конденсаторы с емкостями 10 и 1 мкФ (выделены коричневым цветом). Восемь информационных сигналов этого интерфейса показаны на рисунке 1б.

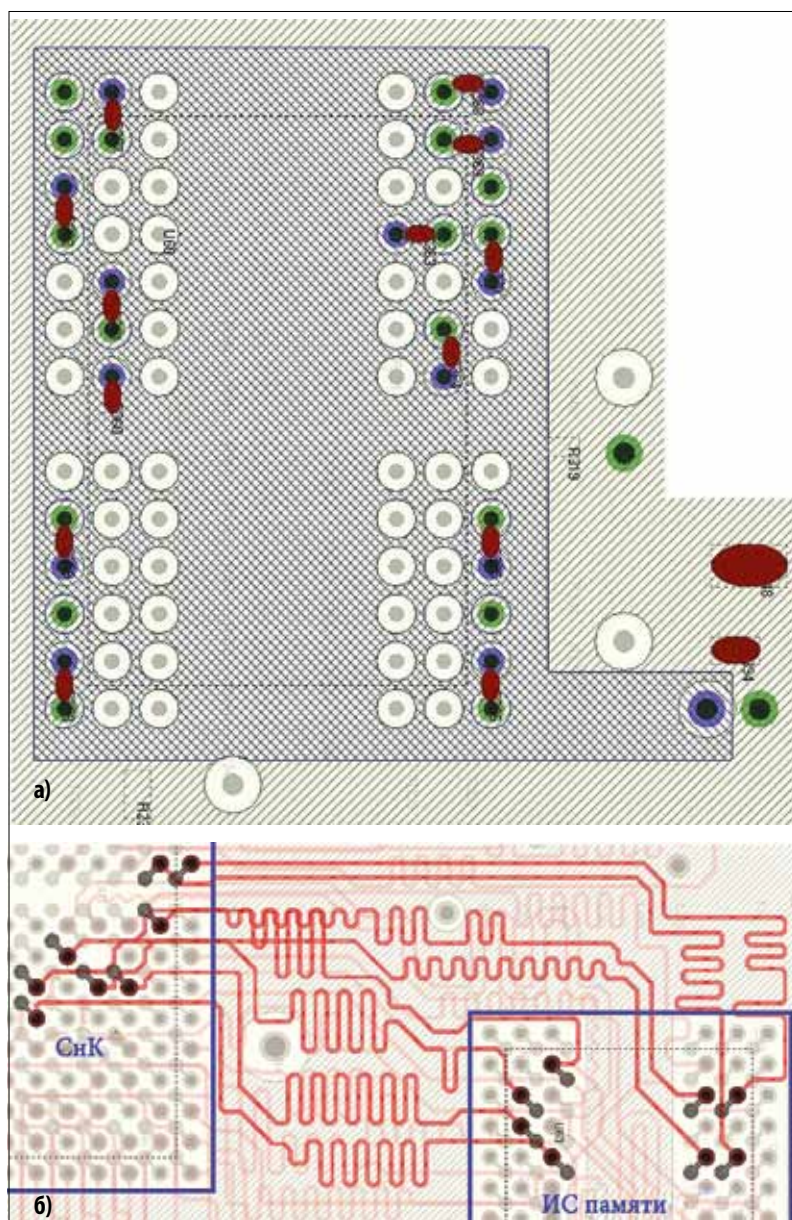


Рис. 1. а) шина питания 1,2 В для интерфейса памяти DDR4, вид сверху; б) восемь сигналов данных интерфейса памяти DDR4

Таблица. Исследуемые конфигурации цепи питания

Конфигурация цепи питания	Шунтирующий/развязывающий конденсатор	Кол-во конденсаторов
А	10 мкФ	1
	1 мкФ	1
	0,22 мкФ	0
Б	10 мкФ	1
	1 мкФ	1
	0,22 мкФ	4
В	10 мкФ	1
	1 мкФ	1
	0,22 мкФ	8

Для изучения влияния развязывающих конденсаторов на импеданс цепи питания, SSN и глазковые диаграммы было выполнено совместное моделирование качества электропитания и целостности сигнала с помощью ПО HyperLynx для нескольких перечисленных в таблице конфигураций цепи питания. У них – одинаковые топологии печатной платы и слои (см. рис. 1а–б), нагруженные одним шунтирующим конденсатором 10 мкФ и одним шунтирующим конденсатором 1 мкФ.

В конфигурации А конденсаторы 0,22 мкФ отсутствуют. В конфигурации Б имеются четыре конденсатора 0,22 мкФ. В конфигурации В количество конденсаторов 0,22 мкФ увеличено до восьми. В конфигурации Г количество конденсаторов 0,22 мкФ стало еще больше – 13.

Затем в программный инструмент были импортированы модели питания ИС памяти и системы-на-кристалле в формате IBIS v5.0. Операция чтения памяти со скоростью 1 Гбит/с и частотой Найквиста 500 МГц установлена для режима совместного моделирования, в котором шиной данных управляет ИС памяти, а СМК служит приемником (Rx).

Сначала было проведено сравнение импедансов цепи питания в диапазоне 1000 Гц...2 ГГц для четырех конфигураций цепи питания. В теории резонансная частота обратно пропорциональна емкости. Как видно из рисунка 2, у всех четырех конфигураций цепи питания – одинаковый профиль импеданса в диапазоне 1000 Гц...10 МГц из-за размещения одинакового количества шунтирующих конденсаторов емкостью 10 и 1 мкФ. Конфигурация А (без развязывающих конденсаторов 0,22 мкФ) отличается от конфигураций Б, В и Г (в каждой из них имеется не менее четырех развязывающих конденсаторов 0,22 мкФ). Заметим, что импеданс цепи питания уменьшился как минимум на 0,9 Ом на частотах выше 10 МГц.

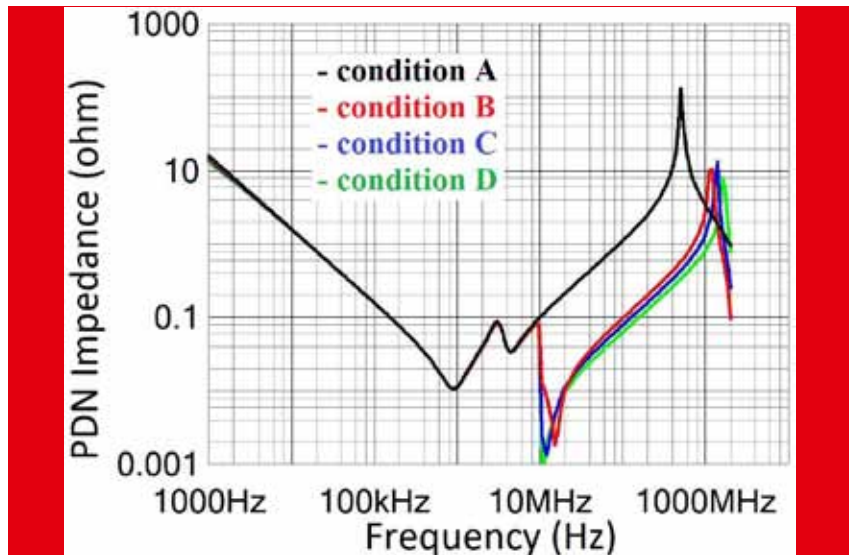


Рис. 2. Смоделированная зависимость импеданса цепи питания от частоты

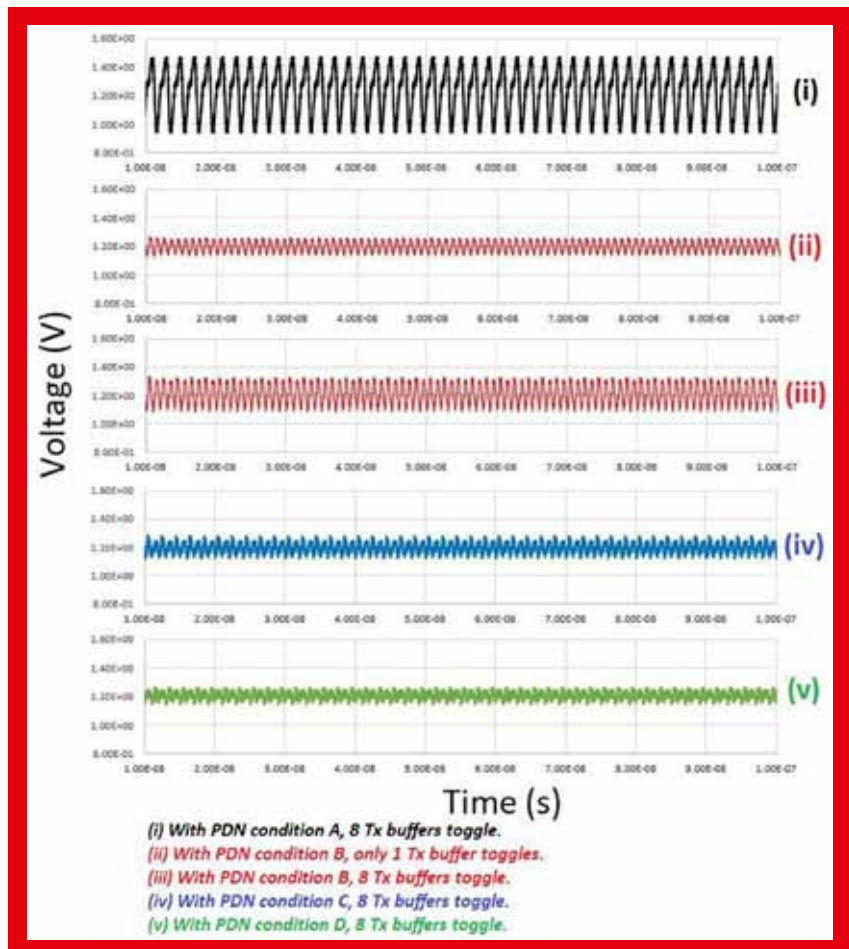


Рис. 3. Смоделированная зависимость шума коммутации от времени для конфигураций цепи питания из таблицы: а) в конфигурации А переключаются 8 буферов передачи; б) в конфигурации Б переключается только 1 буфер передачи; в) в конфигурации В переключаются 8 буферов передачи; г) в конфигурации В переключаются 8 буферов передачи; д) в конфигурации Г переключаются 8 буферов передачи

Далее были построены графики зависимости SSN от времени для всех конфигураций цепи питания (см. рис. 3). SSN возникает в результате прохождения через полное сопротивление цепи питания переходного тока в буфере (Tx) интегральной схемы при передаче сигнала. Переходной ток возрастает при увели-

чении числа буферов Tx в интегральной схеме, которые одновременно переключаются для передачи информационного сигнала. Из рисунка 3 видно, что в конфигурации Б амплитуда SSN (II) в два раза больше амплитуды (I) из-за большего переходного тока в ИС, поскольку переключается больше буферов Tx.

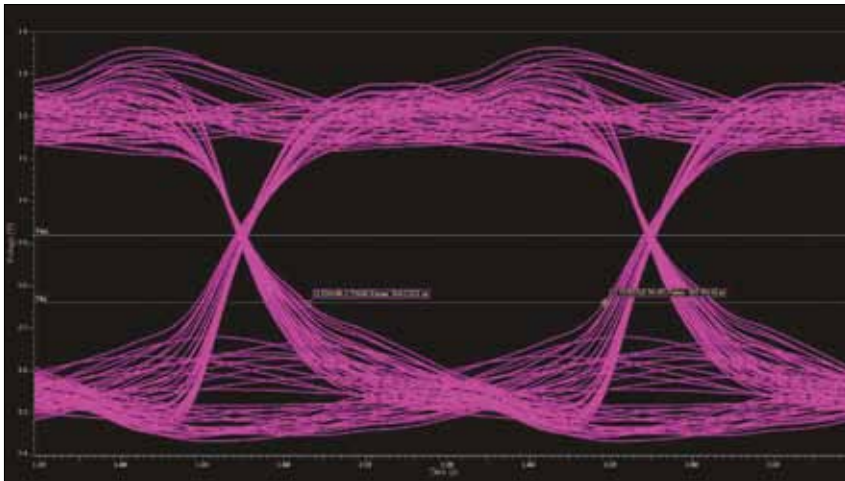


Рис. 4а. Смоделированные глазковые диаграммы информационных сигналов DDR4 для конфигурации А

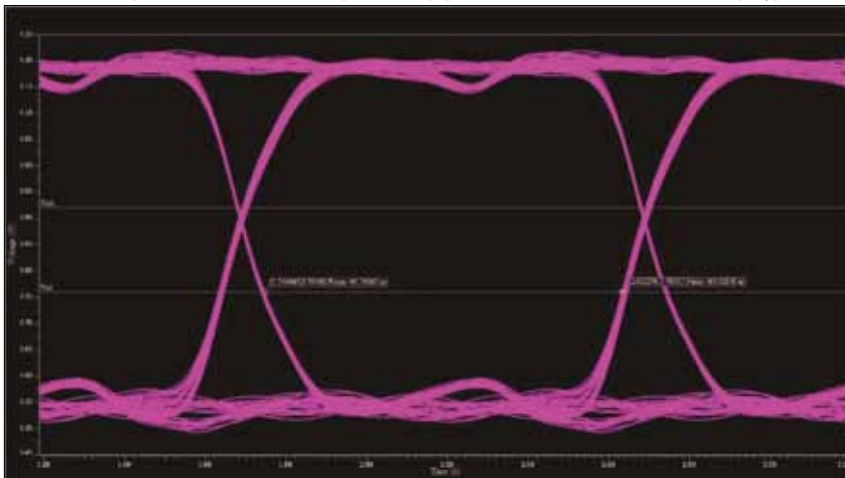


Рис. 4б. Смоделированные глазковые диаграммы информационных сигналов DDR4 для конфигурации Г


С другой стороны, при одновременном переключении восьми буферов Tx на скорости 1 Гбит/с наибольшая амплитуда SSN наблюдается у цепи питания в конфигурации А с наименьшей развязкой и наибольшим импедансом (в диапазоне сотен МГц): 505 мВ (пик-пик), как видно из рисунка 3а. Напротив, цепь питания в конфигурации Г с наилучшей развязкой (13 конденсаторов 0,22 мкФ) и наименьшим импедансом демонстрирует наимень-

шую амплитуду SSN – 95 мВ (пик-пик) (см. рис. 3д), что соответствует допуску $\pm 5\%$ для источника питания 1,2 В, указанному в таблице технических характеристик ИС памяти.

Наконец, глазковые диаграммы информационных сигналов DDR4 со скоростью 1 Гбит/с и последовательностью битов PRBS-7 (наблюдаемой при Rx или в СнК) сравнивались для конфигураций А и Г (см. рис. 4а и 4б, соответственно). Гораздо большая высота и ширина

глазка для информационных сигналов данных в конфигурации Г указывает на то, что подавление SSN за счет лучшего качества электропитания помогает уменьшить джиттер в сигналах, передаваемых интегральной схемой памяти. Закрытие глаза в конфигурации А указывает на увеличение риска битовых ошибок и неустойчивости приема. Подавление SSN достигается путем правильного размещения достаточного количества развязывающих конденсаторов на шине питания относительно земли.

ВЫВОДЫ

Описанное совместное моделирование качества электропитания и целостности сигнала в разработанной топологии показало, что правильное размещение достаточного количества развязывающих конденсаторов в цепи питания относительно земли положительно влияет на импеданс цепи питания, SSN и глазковые диаграммы. Кроме того, необходимо провести предварительное моделирование целостности сигнала в требуемых сигнальных линиях, чтобы обеспечить оптимальную схему терминирования и минимальные потери в линии передачи перед совместным моделированием для анализа взаимного влияния качества электропитания и целостности сигнала. 

ЛИТЕРАТУРА

1. B. Olney. *Power Distribution Network Planning*. The PCB Magazine. May. 2012.
2. F. Carrio, V. Gonzalez, and E. Sanchis. *Basic Concepts of Power Distribution Network Design for High-Speed Transmission*. The Open Optics Journal. 5. (Suppl. 1–M8). 2011.
3. E. Bogatin, *Signal and Power Integrity – Simplified: 2nd Edition*. Prentice Hall. 2009.
4. Mentor HyperLynx. *Power-Aware Signal Integrity Analysis*.
5. Micron. *Power Integrity Simulation with IBIS 5.0 Models Technical Note*.