

ПОДКЛАССЫ И ДЕТЕРМИНИРОВАННАЯ ЗАДЕРЖКА В СТАНДАРТЕ JESD204B

ДЕЛ ДЖОНС (DEL JONES), инженер по приложениям

В статье рассматриваются основные вопросы спецификации высокоскоростного последовательного интерфейса JESD204: детерминированная задержка в приложениях с преобразователями; три подкласса устройств, определяемые стандартом JESD2054B для реализации детерминированной задержки; методы реализации устройств подклассов 0, 1 и 2.

Отличительной особенностью нашего информационного века является необходимость собирать, обрабатывать и распределять постоянно растущие объемы данных. Увеличивается ширина полосы пропускания коммуникационных сетей, а также подключаемых к ним устройств. Благодаря этому, например, в медицинской отрасли появилась возможность получать более детализованную информацию при обследованиях с помощью рентгеноскопии и других методов. Соответственно, для тестирования и анализа возросших объемов данных требуется более высокая скорость и более широкие возможности электронного испытательного оборудования.

Такой спрос на большие объемы данных побудил ассоциацию JEDEC разработать стандарт JESD204 для высокоскоростного последовательного интерфейса между преобразователями данных и логическими устройствами. Редакция В этого стандарта, опубликованная в 2011 г., повысила скорость передачи данных по последовательному интерфейсу до 12,5 Гбит/с в соответствии с требованиями современных приложений, в которых используются преобразователи данных.

В этих многих приложениях имеется необходимость передавать данные по системе с известной согласованной задержкой. Такая определенная стандартом JESD204B задержка между циклами передачи данных называется детерминированной (DL, или ДЗ). До появления редакции JESD204B разработчики систем, нуждавшихся в детерминированной задержке, использовали схемы на прикладном уровне для выполнения упомянутого требования.

Стандарт JESD204B определяет три подкласса. Подкласс 0 обеспечивает обратную совместимость со стандартом JESD204A и не поддерживает детерминированную задержку. Подкласс 1 предусматривает использование внешнего опорного сигнала SYSREF, который является точкой отсчета на уровне всей системы для выбора временного режима. Подкласс 2 определяет использование сигнала SYNC~ в качестве отправной точки на системном уровне.

В каждом случае для реализации детерминированной задержки можно использовать именно эти опорные сигналы.

Мы рассмотрим функциональные различия между тремя подклассами стандарта JESD204B, а также реализацию функционала детерминированной задержки на отдельных примерах.

ДЕТЕРМИНИРОВАННАЯ ЗАДЕРЖКА

Стандарт JESD204B определяет детерминированную задержку как разницу между моментами времени, когда данные, входящие в состав кадра, начинают поступать в устройство для последовательной передачи данных, и моментом, когда эти выборки его покидают. Задержка измеряется с помощью импульсов синхронизации кадра и программируется с шагом, величина которого, по крайней мере, равна периоду кадрового синхросигнала. Задержка должна воспроизводиться от одного цикла включения до другого, так же как и при любом восстановлении синхронизации. Определение детерминированной задержки иллюстрирует рисунок 1.

Детерминированная задержка в системе JESD204 представляет собой сумму фиксированной и переменной задержек. Переменные задержки появляются в результате произвольных фазовых соотношений в разных циклах передачи данных между тактовыми последовательностями в блоках DSP системы (на рисунке 1 они не показаны). Поскольку в системах JESD204A и подкласса 0 JESD204B переменные задержки невозможно учесть, вариация этих циклов сказывается на задержке в канале.

ПОДКЛАСС 0

Подкласс 0 в стандарте JESD204B обеспечивает обратную совместимость с устройствами JESD204A. Такая возможность востребована в случаях использования заказных ASIC с унаследованным интерфейсом JESD204A, который подключается к преобразователю JESD204B с обновленными функциями.

Требования стандарта JESD204B

Стандарт JESD204B предусматривает требования и рекомендации по функционированию в режиме подкласса 0, которые могут отличаться от требований к устройствам других подклассов. Прежде всего, требования к сигналу SYNC~ иные,

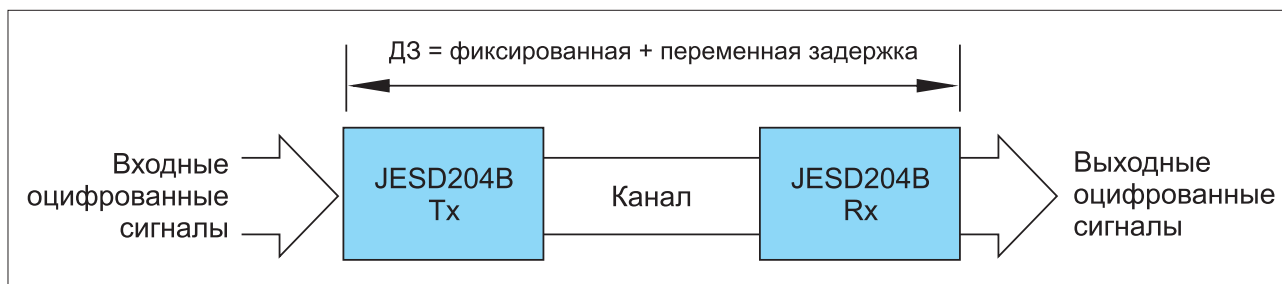


Рис. 1. Определение детерминированной задержки

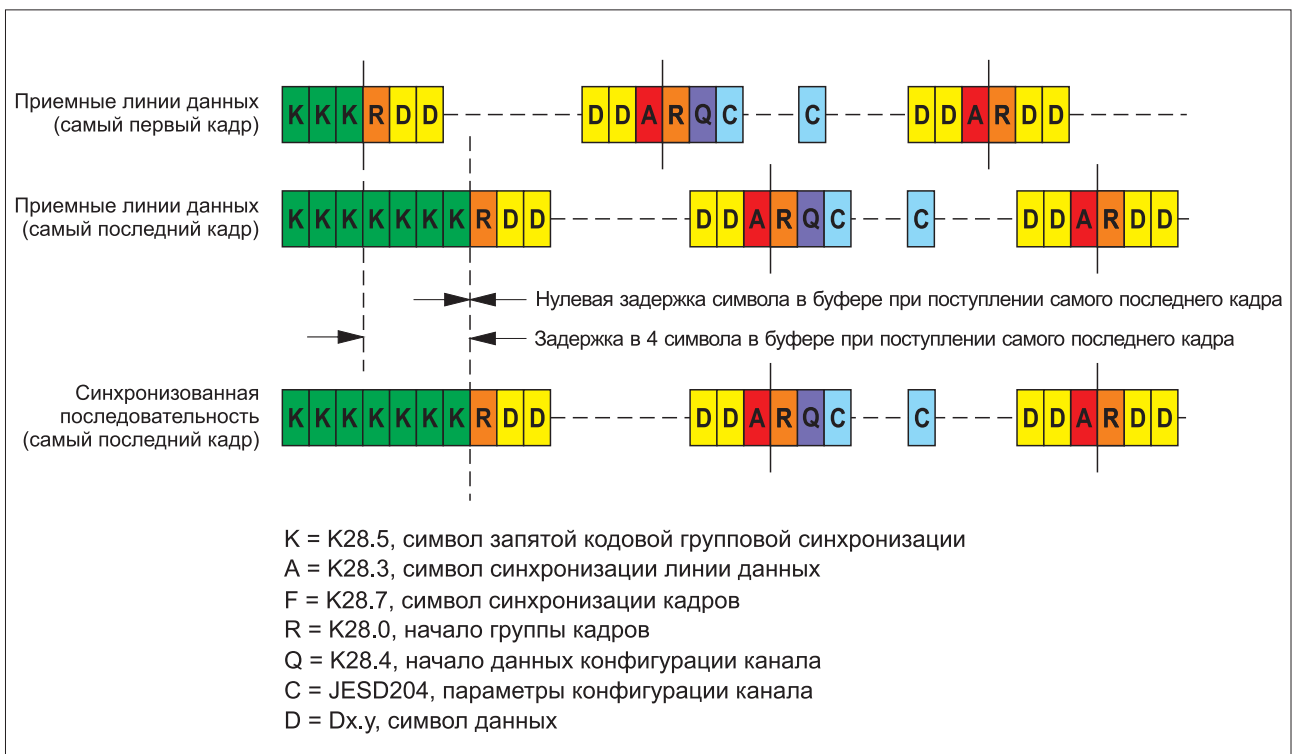


Рис. 2. Синхронизация линий данных одного канала

чем к подклассу 1, но они также применимы к подклассу 2. Перечислим их.

- Выходной сигнал SYNC~ приемника JESD204B должен быть синхронизован с кадровым синхросигналом (frame clock) этого приемника. Требуется также, чтобы кадровый синхросигнал передатчика был синхронизован с сигналом SYNC~; это достигается благодаря тому, что входной сигнал SYNC~ передатчика сбрасывает счетчик кадровых синхросигналов. Необходимо определить задержку между моментом поступления сигнала SYNC~ на вход и границей кадрового синхросигнала.
- Рекомендуется использовать ту же логику, что и для тактирования устройств (например, LVDS).
- Должна отсутствовать связь по переменному току.
- Необходимо определить задержку между тактовым сиг-

налом устройства и сигналом SYNC~ (tDS_R) на выводах приемника. В системе, в которой кадровые синхросигналы распространяются быстрее тактовых сигналов устройств, запускается и захватывается сигнал SYNC~ с помощью кадрового синхросигнала; так или иначе, указывается задержка tDS_R.

- Необходимо определить время установки данных и время удержания для SYNC~ относительно тактового сигнала устройства на выходе передатчика.

Работа устройств подкласса 0

Синхронизация линий данных одного канала JESD204 осуществляется автоматически в приемнике JESD204 с помощью буфера с регулируемой задержкой сигнала в каждой

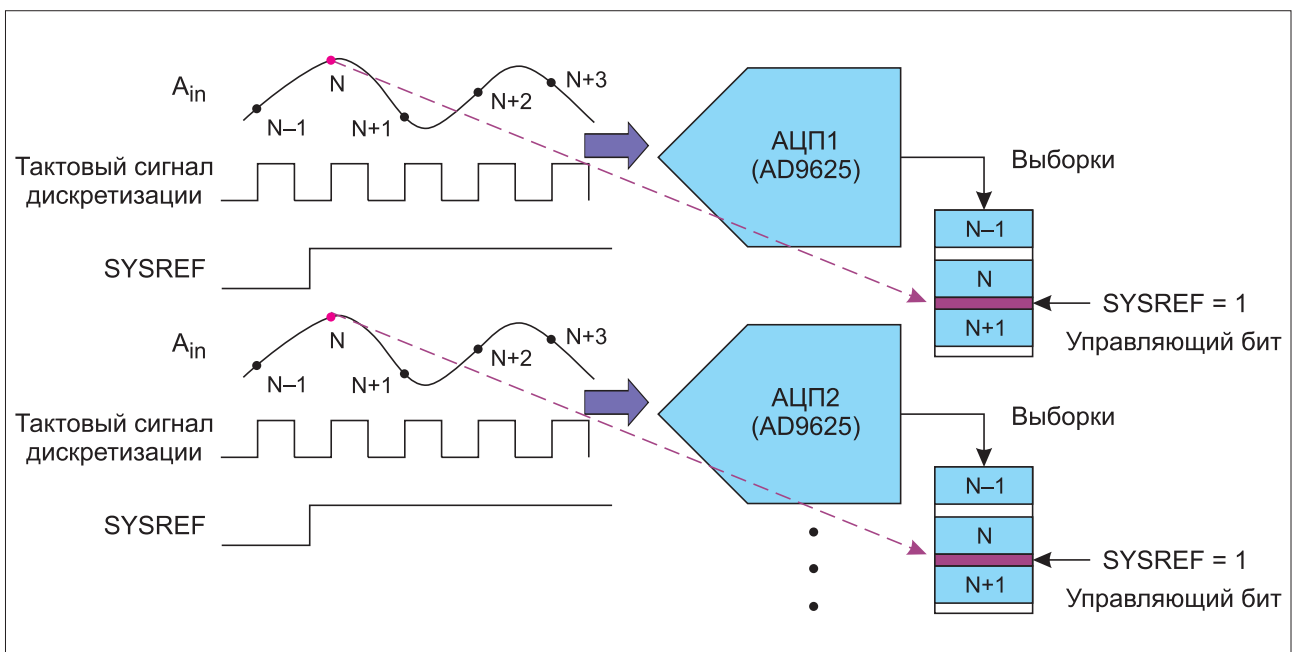


Рис. 3. Добавление в несколько АЦП управляющего бита с временной меткой

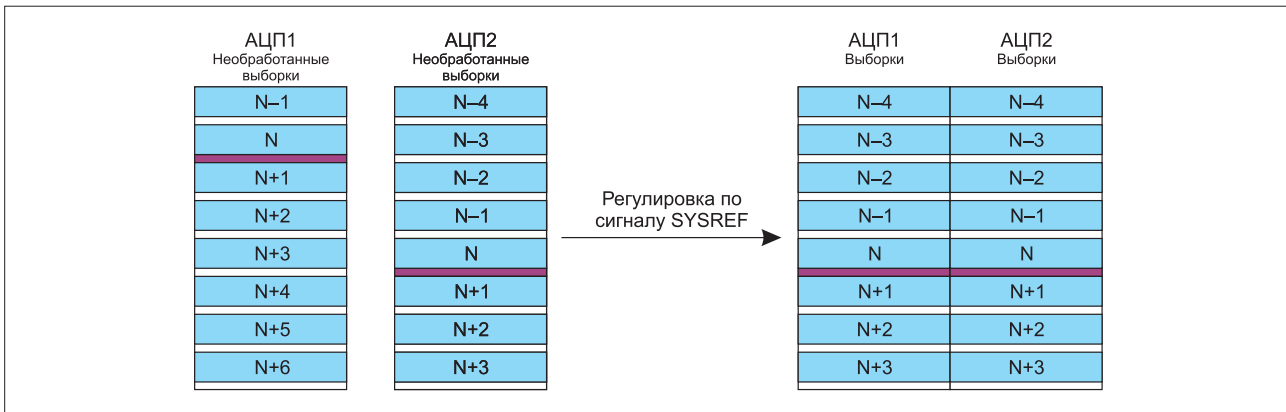


Рис. 4. Регулировка выборок с временными метками

линии данных JESD204. При начальной синхронизации полосы (initial lane alignment sequence, ILAS) контролируются все линии данных. При поступлении последнего символа линии данных, управляющего синхронизацией начального момента приема кадров, одновременно освобождается содержимое всех буферов (см. рис. 2).

Несмотря на рекомендацию о том, чтобы кадровые синхросигналы от приемника и передатчика были синхронизованы с сигналом SYNC~, отсутствует средство синхронизации локальных тактовых сигналов для групп кадров (мультикадров). Таким образом, невозможно осуществлять синхронизацию каналов в случае нескольких преобразователей с помощью методов детерминированной задержки. И наоборот, временные режимы нескольких преобразователей в одном устройстве, настроенном в виде части одного канала JESD204B, можно синхронизовать без помощи внешней цепи. Несогласованность локальных синхросигналов для мультикадров влияет и на величину переменной задержки, и на суммарную задержку канала.

Решение подкласса 0 для синхронизации множества устройств

Одним из преимуществ использования детерминированной задержки является возможность синхронизации многокристалльных устройств. С другой стороны, в случае такой синхронизации нет необходимости применять детерминированную задержку. Стандарт JESD204 предусматривает добавление управляющих битов в дискретизованные данные для передачи информации о выборке приемнику от передатчика.

В приложениях с АЦП управляющий бит можно использовать как метку для обозначения выборок, которые совпадают по времени с внешним опорным сигналом. При использовании устройства подкласса 1 в рабочем режиме устройств подкласса 0 временная метка ставится с помощью входного сигнала SYSREF. Кроме того, в приложениях со многими АЦП, подключенными к единому логическому устройству, можно воспользоваться сигналом SYNC~. Главное требование к синхронизации нескольких устройств состоит в наличии внешнего исходного сигнала для АЦП и поддержки управляющих битов в передатчике JESD204.

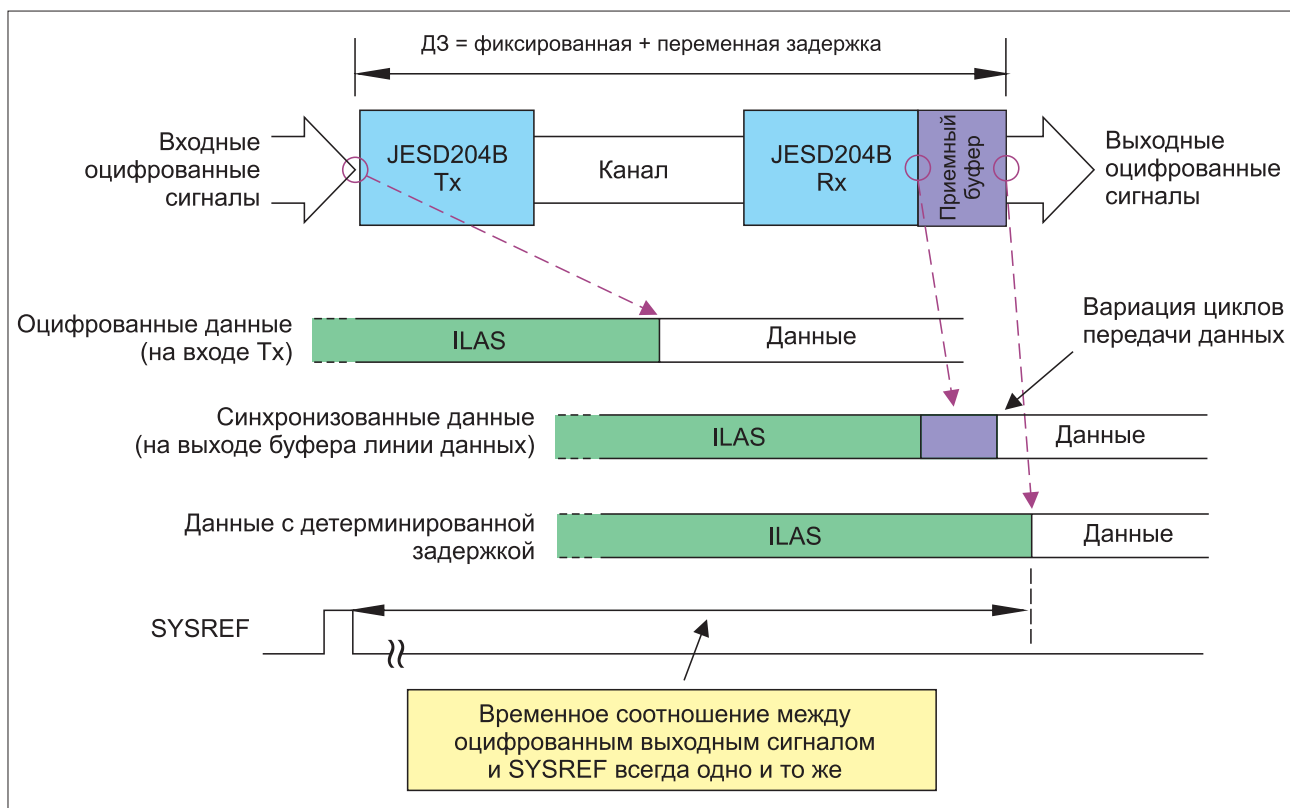


Рис. 5. Выбор времени освобождения данных из буфера с помощью сигнала SYSREF в системе подкласса 1

АЦП AD9625 и AD9680 от компании ADI поддерживают функцию временных меток для регулировки временных режимов множества кристаллов. На рисунке 3 показан пример использования входного сигнала для проставления временной метки при совпадении сигнала выборки с внешним опорным сигналом. Видно, что когда SYSREF дискретизируется с помощью тактового сигнала устройства, этому дискретному сигналу назначается управляющий бит. Такая метка может выдаваться любому устройству системы JESD204B.

На рисунке 4 иллюстрируется процесс синхронизации логическим устройством выходных сигналов АЦП с временными метками.

ПОДКЛАСС 1

Как уже упоминалось, синхронизация временных режимов линий данных канала и нескольких кристаллов осуществляется в рабочем режиме подкласса 0. Однако функционирование многих приложений зависит не только от синхронизации выборок, полученных от нескольких устройств, но и от детерминированной задержки для передачи данных между преобразователем и логическим устройством.

Например, в некоторых приложениях с АЦП для калибровки коэффициента усиления аналоговых сигналов применяется контур обратной связи. Часто это делается с помощью тестового входного сигнала, подаваемого в приемник. Полученные оцифрованные данные позволяют принять решение о согласовании. Чтобы оно было корректным, необходимо исходить из величины задержки между аналоговым входным сигналом и логическим устройством. Время поступления этих данных должно быть одним и тем же после каждого цикла передачи данных независимо от синхронизации. В этих приложениях требуется детерминированная задержка.

В системе подкласса 0 оцифрованные данные покидают приемник JESD204B после поступления самого последнего сигнала с линии данных. Однако время освобождения буфера может меняться от одного цикла к другому. В системе подкласса 1 приемный буфер четко определен, а его время освобождения измеряется относительно внешнего сигнала SYSREF. Таким образом, оно не зависит от вариаций циклов передачи данных, свойственных системам JESD204B (см. рис. 5).

Время освобождения данных из буфера выбирается с помощью сигнала SYSREF в его сравнении с локальными тактовыми сигналами (LMFC) для групп кадров. SYSREF используется для фазовой настройки LMFC-сигналов всех устройств JESD204B системы. Время освобождения буфера определяется по этим тактовым LMFC-сигналам, синхронизированным по SYSREF.

Системные требования и рекомендации по реализации устройств подкласса 1

Точность и надежность детерминированной задержки в системах JESD204B основаны на взаимосвязи между тактовым сигналом устройств и SYSREF. Тактовый сигнал устройства представляет собой опорный тактовый сигнал системы, на основе которого рассчитываются синхросигнал выборки (как правило), тактовый сигнал JESD204B и тактовый сигнал сериализатора. Тактовый сигнал устройства применяется для захвата SYSREF и фазовой синхронизации переднего фронта кадрового синхросигнала и синхросигнала для мультикадров (см. рис. 6).

Стандарт JESD204B предусматривает требования и рекомендации по использованию SYSREF и тактового сигнала устройства. Этот стандарт также определяет основные принципы построения топологии печатной платы и временного режима системы. Однако то, как эти требования реализуются в системе JESD204B, зависит от системных требований приложения (от неопределенности детерминированной задержки – *deterministic latency uncertainty*). Перечислим другие ключевые требования и рекомендации по работе устройств класса 1.

- Для всех устройств в системе JESD204B необходимо определить задержку между передним фронтом сигнала SYSREF и границей кадрового и мультикадрового сигналов. Этот параметр у преобразователей компании ADI называется задержкой SYSREF–LMFC.
- Приемный буфер, в котором накапливаются данные, использует LMFC-сигнал, синхронизированный по SYSREF, как детерминированный исходный сигнал для передачи данных в систему. Стандарт JESD204B устанавливает т. н. задержку приемного буфера (*receive buffer delay, RBD*), которая определяет его глубину и принимает значения в диапазоне 1–k кадровых циклов. Эта задержка применяется для компенсации переменной задержки в системе. По мере увеличения числа кадров в мультикадре допускается увеличение переменной задержки. Например, ЦАП компании ADI поддерживают k значений циклов – 16 или 32. Значение 32 рекомендуется выбирать для большинства приложений.
- Поскольку с большой вероятностью можно утверждать, что точность реализации детерминированной задержки меняется от одного производителя к другому и даже от одного устройства к другому, следует использовать одну и ту же модель преобразователя в тех случаях, когда в системе синхронизируется несколько устройств.
- Необходимо также минимизировать расфазировку линий данных между устройствами. В случае с приложениями, в которых применяются ЦАП компании ADI, сумма сдвига фаз между устройствами и переменной задержки не должна превышать периода LMFC-сигналов.

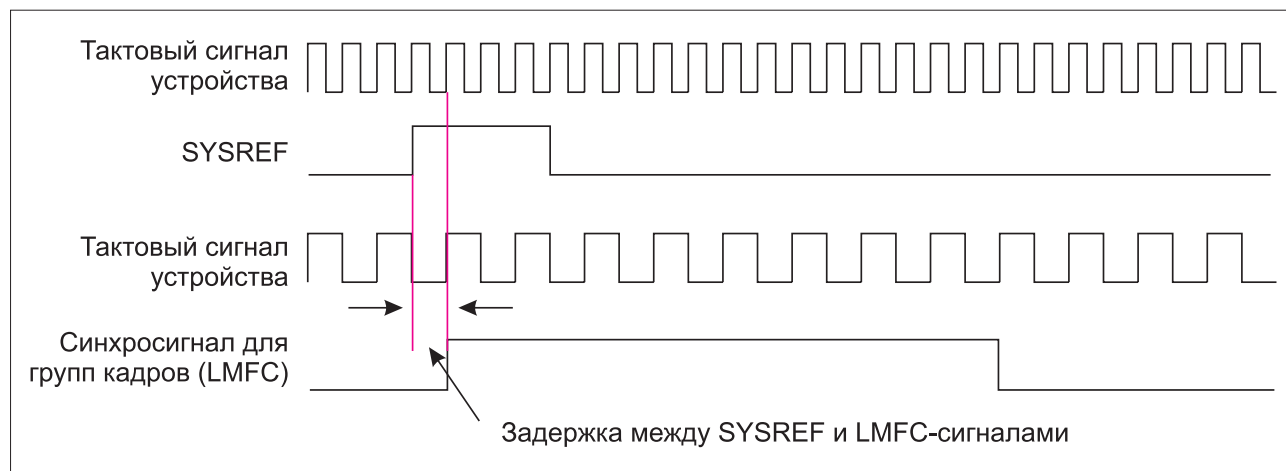


Рис. 6. Фазовая синхронизация кадровых синхросигналов с помощью SYSREF

- Тактовый сигнал устройства и SYSREF должны генерироваться одним и тем же устройством для синхронизации фаз двух сигналов. Необходимо минимизировать фазовое рассогласование между устройствами и для сигнала SYSREF, и для тактового сигнала устройства.
- Потребность в сигнале SYNC~ появляется при анализе работы устройств подкласса 0 и синхронизации множества кристаллов. Системы подкласса 1 в этом сигнале не нуждаются.

SYSREF и тактовый сигнал устройства

Сигнал SYSREF может представлять собой одиночный импульс, периодический прямоугольный импульс или периодический прямоугольный импульс с интервалами. Период SYSREF должен быть кратным периоду LMFC-сигнала. Устройства компании ADI поддерживают сигнал SYSREF всех трех типов.

Временной режим сигнала SYSREF должен тщательно контролироваться относительно тактового сигнала устройств таким образом, чтобы длительность фронта тактового сигнала устройства была фиксированной и известной пользователю. Как уже упоминалось, сигнал SYSREF должен быть синхронизован с источником с помощью тактового сигнала устройства. Рекомендуется, таким образом, чтобы генерация SYSREF осуществлялась одним и тем же устройством, которое обеспечивает подачу тактового сигнала во всю систему. С этой задачей успешно справляется, например, АЦП AD9525.

Требования стандарта JESD204B к фазовому сдвигу при распределении тактового сигнала и другим фазовым сдвигам в большей мере носят рекомендательный характер и меньше похожи на жесткие правила. Эти требования появились для обоснования необходимости компенсировать сдвиг по фазе при использовании последовательно-параллельного преобразователя (см. раздел 4.12 стандарта JESD204B).

Подкласс 2

Системы устройств подкласса 2 используют не внешний сигнал для создания эталона времени, а сигнал SYNC~, чтобы обеспечить детерминированную задержку и синхронизацию множества кристаллов. Главным преимуществом такой реализации является сокращение числа выводов и цепей в системе JESD204B.

Напомним, что сигнал SYSREF применяется в подклассе 1 для того, чтобы синхронизовать собственные тактовые сигналы для работы с кадрами и мультикадрами. Поскольку сигнал SYNC~ генерируется на основе LMFC-сигналов приемника, он заключает в себе информацию о временных соотношениях LMFC, которую можно использовать, чтобы обеспечить оди-

наковую синхронизацию между приемником и передатчиком вместо внешнего источника опорного сигнала.

В подклассе 2 требуется обеспечить дополнительный функционал и точность для сигнала SYNC~ по сравнению с этим же сигналом для подкласса 1. Следствием этих требований, а также повышенных требований к сигналам синхронизации является уменьшение достижимой тактовой частоты устройств.

Трудности, возникающие при выполнении требований к временному режиму при использовании сигнала SYNC~ в качестве опорного, схожи с теми, которые вызывает применение SYSREF. Точность синхронизации системы ограничена фазовым сдвигом при распределении SYNC~ и тактовой частотой устройств на печатной плате, а также их задержками на распространение. Степень точности определяется периодом тактового сигнала устройства. Как и в подклассе 1, системное требование к неопределенности величины детерминированной задержки (DLU) определяет ограничения величины фазового сдвига при распределении сигнала.

В системе подкласса 1 источник тактового сигнала устройства или SYSREF является главным, причем запросы на синхронизацию поступают с логического блока. В системе подкласса 2 логическое устройство является главным контроллером, задающим временной режим, и отвечает за коррекцию фазы LMFC-сигналов по обеим сторонам канала. Как это достигается, зависит от того, на основе каких преобразователей работает система – АЦП или ЦАП.

РЕАЛИЗАЦИЯ ПОДКЛАССА 2 ДЛЯ АЦП

В приложении с АЦП подкласса 2 отмена подтверждения SYNC~ определяется, как правило, с помощью тактового сигнала устройства и используется для установки фазы LMFC-сигнала в нулевое состояние. При обнаружении и захвате сигнала SYNC~, а также при установке LMFC-сигнала в исходное значение передатчик JESD204B начинает отправлять символы K28.5 до тех пор, пока не установятся системные часы. Часть ILAS этого процесса синхронизации начинается на границе LMFC после установления синхросигналов.

В системе с АЦП синхронизация LMFC-сигнала АЦП не является пошаговым процессом и осуществляется с помощью одного подтверждающего сигнала SYNC~ (см. рис. 7). Кроме того, можно использовать периодический сигнал SYNC~ для контроля над фазовой синхронизацией LMFC-сигнала передатчика (подробнее см. раздел 6.4. стандарта JESD204B0).

РЕАЛИЗАЦИЯ ПОДКЛАССА 2 ДЛЯ ЦАП

В приложениях подкласса 2 LMFC-сигнал логического устройства является главным базовым (master reference),

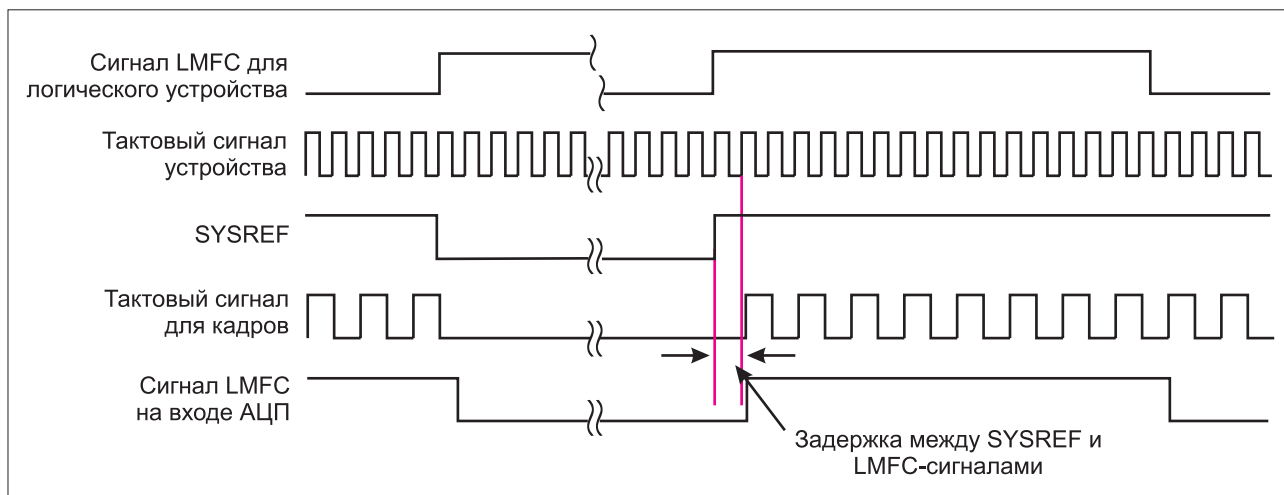


Рис. 7. Фазовая синхронизация кадровых тактовых сигналов с помощью SYNC~

с помощью которого синхронизируется по фазе преобразователь этого сигнала. В приложениях с ЦАП подкласса 2 логическое устройство также использует тактовый сигнал устройства для захвата SYNC~ от одного или более ЦАП. Обнаружив сдвиг фаз между собственным сигналом LMFC и LMFC ЦАП, логическое устройство отправляет ЦАП команду на согласование фазы на этапе ILAS во время синхронизации. В ILAS используются четыре мультикадра и параметры канала, включая информацию о согласовании фазы LMFC-сигнала, которые передаются приемнику во второй период LMFC.

Перечислим команды по регулировке фазы LMFC, которые подает логическое устройство ЦАП в системе JESD204B:

- PHADJ (согласование фазы). Эта команда указывает, требуется фазовое согласование или нет.
- ADJCNT (число шагов). Эта команда определяет число шагов по согласованию.
- ADJDIR (направление согласования). Эта команда определяет, что делать с фазой LMFC: увеличить ее или уменьшить.

В зависимости от разрешения тактового сигнала согласования и его соотношения с периодом LMFC для согласования LMFC-сигнала ЦАП может потребоваться более чем один период ILAS. После завершения фазового согласования ЦАП выдается сообщение об ошибке, подтверждающее низкий уровень сигнала SYNC~. Передатчик логического устройства использует это подтверждение, чтобы снова обнаружить разность фаз LMFC. В случае если дальнейшего согласования не требуется, бит PHADJ возвращается в исходное состояние во время ILAS, и приемник не выдает сообщения об ошибке.

К этому времени все LMFC-сигналы синхронизованы, и можно начинать передачу пользовательских данных. Если потребуется еще одно согласование, передатчик логического устройства начнет еще один пошаговый процесс (см. подробное описание раздела 6.4. стандарта JESD204B).

После согласования фаз LMFC-сигналов всех устройств системы JESD204B задержка становится детерминированной путем использования тех же методов, что и для устройств подкласса 1. Таким образом, время освобождения приемного буфера рассчитывается относительно согласованных по фазе LMFC-сигналов, а не по недетерминированному времени поступления последних данных по линии (см. рис. 5). Единственная разница в том, как достигается фазовая синхронизация LMFC-сигналов.

Системные требования и рекомендации по реализации устройств подкласса 2

Точность и надежность обеспечения детерминированной задержки в системе JESD204B зависят от взаимосвязи между тактовым сигналом устройства и каждым сигналом SYNC~. Как и в случае с подклассом 1, тактовый сигнал устройства является опорным тактовым сигналом системы, на основе которого рассчитываются синхросигнал выборки, тактовый сигнал JESD204B и тактовый сигнал сериализатора. Тактовый сигнал устройства используется

для захвата SYNC~, который дает информацию логическому устройству о фазовых соотношениях LMFC-сигналов во всей системе. Стандарт JESD204B определяет требования и предоставляет рекомендации по работе АЦП и ЦАП подкласса 2.

Для АЦП:

- АЦП должен согласовать собственный кадровый тактовый сигнал и LMFC-сигналы (а также, возможно, синхросигнал выборки) с помощью сигнала SYNC~ логического устройства.
- Поскольку разрешающая способность фазового согласования LMFC-сигналов определяется производителем устройств, точность синхронизации системы ограничена.
- Поскольку разрешающая способность обнаружения сигнала SYNC~ определяется производителем устройств, точность синхронизации системы ограничена.
- Необходимо определить задержку между отменой подтверждения сигнала SYNC~ и границей LMFC-сигнала АЦП.

Для ЦАП:

- ЦАП должен согласовать собственный кадровый тактовый сигнал и LMFC-сигналы с помощью логического устройства.
- Необходимо определить разрешающую способность согласования LMFC-сигналов ЦАП (с помощью числа периодов тактового сигнала ЦАП).
- ЦАП должен отправлять отчет об ошибках по завершению всех согласований фазы.

Для логических устройств в приложении с ЦАП:

- Эти устройства должны быть в состоянии определить фазу сигнала SYNC~ относительно собственных LMFC-сигналов пошагово с помощью, как правило, тактового сигнала устройства.
- Эти устройства должны рассчитать величину ADJCNT на основе разрешающей способности ЦАП по согласованию.
- Эти устройства должны отправить корректирующую информацию ЦАП на этапе ILAS.

Выводы

В соответствии со спросом современных и будущих приложений на увеличение скорости обработки данных стандарт JESD204B определяет мультигигабитный интерфейс как коммуникационный канал между преобразователями данных и логическими устройствами. Определение того, какой подкласс требуется системе, является важным шагом на пути ее проектирования.

Тем системам, у которых отсутствует необходимость в использовании детерминированной задержки, подходит любой из трех подклассов, но следует учитывать, что подкласс 0 достаточно сложно реализовать. Если же системе требуется детерминированная задержка, необходимо воспользоваться решениями для подклассов 1 или 2. ▢