

# ОБЗОР РАЗВИТИЯ СТАНДАРТА JESD204

**ДМИТРИЙ ХАВРОНИН**, инженер

*Интерфейс JESD204, появившийся всего несколько лет тому назад, уже несколько раз дорабатывался, благодаря чему стал намного эффективнее и удобнее. Этот стандарт предназначен для АПЦ и ЦАП, а также для использования в качестве интерфейса ПЛИС и ASIC (специализированных ИС). В статье рассматриваются его основные особенности.*

## ВВЕДЕНИЕ

Скорость и разрешение преобразователей JESD204 постоянно повышается, что выгодно отличает их от КМОП- и LVDS-аналогов (LVDS – низковольтный дифференциальная передача сигналов) с точки зрения быстродействия, размера и стоимости.

Немаловажным преимуществом является меньшее количество выводов, что позволяет изготавливать преобразователи в компактных корпусах и сократить количество линий связи, упростив тем самым разводку платы.

Стандарт является масштабируемым, т. е. он адаптируется под будущие проекты. Этот факт подтверждается двумя редакциями, которые он прошел.

JESD204 был представлен в 2006 г. В настоящее время актуальной является его 3-я версия – JESD204B. По мере роста числа производителей, выпускающих АПЦ, ЦАП и ПЛИС, а также разработчиков, которые его используют, он обновляется и дополняется новыми функциями.

## ОПИСАНИЕ JESD204

Стандарт описывает последовательную передачу данных со скоростью в несколько Гбит между преобразователем и приемником. Как правило, это ПЛИС или ASIC. В исходной версии JESD204 последовательный канал данных определялся как одиночная линия связи между одним или несколькими преобразователями и приемником (см. рис. 1). Она обеспечивает физический интерфейс между некоторым количеством преобразователей и приемником и представляет собой дифференциальную пару межсоединений с токовыми переключателями. На преобразователи и приемник подается один и тот же тактовый сигнал для синхронной работы устройств.

Скорость передачи по линии составляет 312,5 Мбит/с...3,125 Гбит/с при импедансе нагрузки и источника  $100 \pm 20$  Ом. Номинальное значение дифференциального напряжения равно 800 мВ, синфазное напряжение находится в пределах 0,72–1,23 В. В линии применяется кодирование 8b/10b

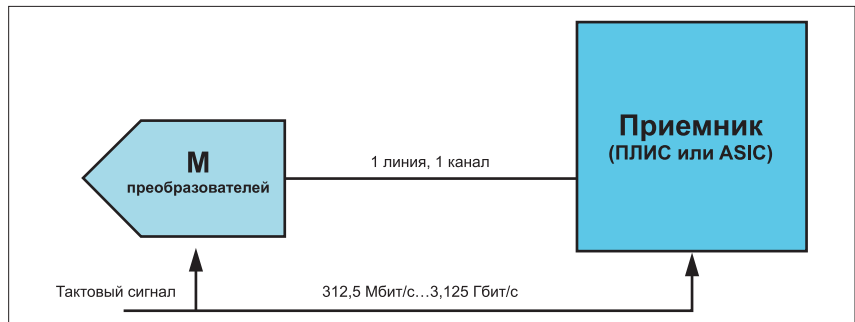


Рис. 1. Исходный стандарт JESD204, выпущенный в 2006 г.

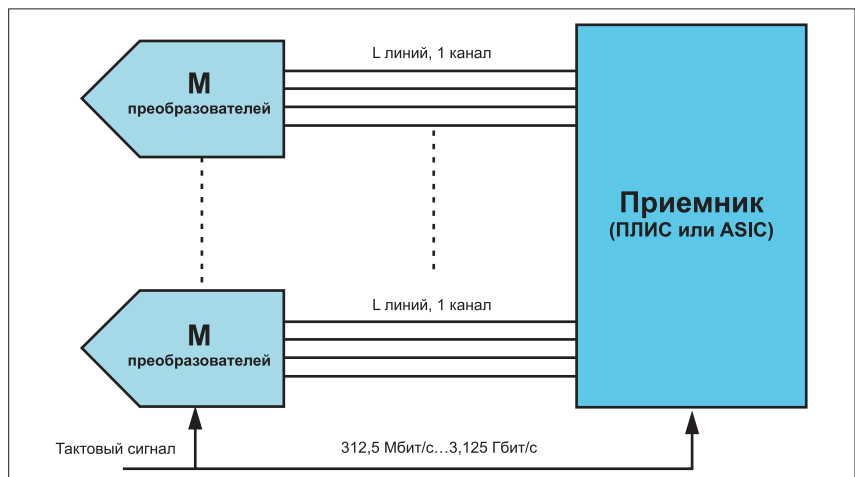


Рис. 2. Новые возможности JESD204A – в 1-й редакции JESD204

со встроенным тактовым генератором, что позволяет обойтись без дополнительной линии тактирования, которая могла бы вызывать помехи в передаваемых данных на высоких скоростях.

Когда стандарт начал приобретать широкое распространение, стало очевидно, что в него необходимо добавить поддержку нескольких линий связи для одновременной работы нескольких преобразователей, что позволило бы повысить частоту и разрешение выборок.

Именно это и было реализовано во 2-й редакции, которая получила название JESD204A. Скорость передачи по линии осталась прежней, т. е. 312,5 Мбит/с...3,125 Гбит/с. Не подверглись изменениям электрические характеристики и тактовый сигнал.

Расширение возможностей стандарта позволило работать с преобразователя-

ми, имеющими более высокую скорость выборки и разрешение для обеспечения максимальной скорости 3,125 Гбит/с. На рисунке 2 показано графическое представление этих новых возможностей JESD204A.

Хотя обе версии – JESD204 и JESD204A – обеспечивают более высокую производительность, чем предыдущие интерфейсы, им все же не хватало существенной детали: детерминированной задержки при последовательной передаче по каналу. Для работы преобразователя данных необходимо знать временное отношение между выборкой и ее цифровым представлением. В этом случае можно корректно восстановить дискретизованный сигнал в аналоговой области после его принятия, если речь идет об АЦП или ЦАП.

Это временное соотношение может нарушиться из-за задержки преобразователя, которая для АЦП определяется количеством тактовых циклов между моментом осуществления выборки входного сигнала и временем, когда цифровое представление появляется на выходе преобразователя. Аналогично, в ЦАП задержка определяется количеством циклов, которые проходят с момента получения цифровых данных и генерированием выходного аналогового сигнала.

В стандартах JESD204 и JESD204A задержка преобразователей не была детерминированной. По мере увеличения быстродействия преобразователей и их разрешения стала очевидной необходимость в устранении этого недостатка, что было осуществлено во 2-й редакции, получившей название JESD204B.

### ОТЛИЧИЯ JESD204B

В июле 2011 г. вышла версия JESD204B. Одним из ключевых нововведений стало обеспечение детерминированной задержки. Кроме того, скорость передачи возросла до 12,5 Гбит/с, устройства разделены на классы по скорости передачи. Данная версия стандарта является переходной от использования общего сигнала тактирования к использованию тактирования устройства (см. рис. 3).

Обе предыдущие версии JESD204 не предусматривали детерминированную задержку.

В JESD204B эта проблема решена – появился механизм обеспечения детерминированной задержки, т. е. между циклами включения питания и событиями повторной синхронизации задержка стала воспроизводимой и детерминированной.

Одним из методов достижения этого является одновременная инициация передачи исходной выравнивающей последовательности во всех линиях. Момент определяется входным сигналом SYNC~. Альтернативным способом является использование сигнала SYSREF, который введен в JESD204B впервые. Сигнал SYSREF выступает как главный тактовый сигнал, выравнивающий все внутренние делители тактовых сигналов, а также как сигнал многокадровой синхронизации (local multi-frame clock, LMFC) во всех приемниках и передатчиках. Этот сигнал позволяет выделить требуемый кадр из последовательности.

В стандарте JESD204B определены три подкласса устройств:

- подкласс 0 – без обеспечения детерминированной задержки;
- подкласс 1 с детерминированной задержкой по сигналу SYSREF;

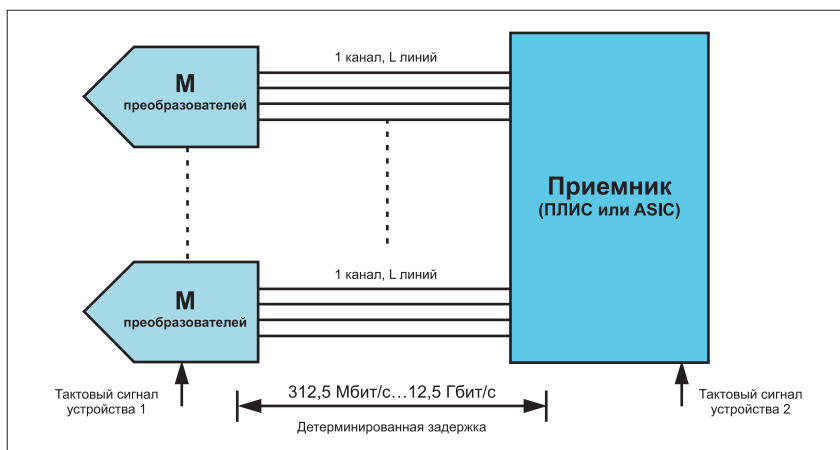


Рис. 3. 2-я и ныне действующая версия JESD204B

- подкласс 2 с детерминированной задержкой по сигналу SYNC~.

Подкласс 0 можно сравнить с линией JESD204A. К подклассу 1, в первую очередь, относятся преобразователи, работающие на скорости не менее 500 млн выб./с; устройства подкласса 2 рассчитаны на работу с преобразователями, осуществляющими меньшее количество выборок в секунду.

Второй отличительной особенностью стандарта JESD204B является более высокая скорость передачи, которая достигает 12,5 Гбит/с. Устройства делятся на три класса по скорости передачи. Импеданс источника и нагрузки у устройств всех классов одинаковые:  $100 \pm 20 \text{ Ом}$ .

Устройства 1-го класса обеспечивают скорость передачи в линии до 3,125 Гбит/с – такую же, как в JESD204 и JESD204 A. Устройства 2-го класса позволяют передавать данные со скоростью до 6375 Гбит/с. При этом минимальное дифференциальное напряжение уменьшается до 400 мВ. В устройствах 1-го класса оно составляет 500 мВ.

Устройства 3-го класса осуществляют передачу со скоростью до 12,5 Гбит/с; минимальное дифференциальное напряжение равно 360 мВ. По мере увеличения скорости передачи линии минимальное дифференциальное напряжение уменьшается, чтобы облегчить физическое исполнение путем снижения максимальной скорости нарастания сигнала.

Кроме того, в JESD204B вместо единого тактового сигнала используются локальные. В версиях JESD204 и JESD204A применялся единый тактовый сигнал. Это неудобно при работе с несколькими преобразователями; к тому же, схема усложняется из-за рассогласования, вызванного разной длиной линий трассировки.

В JESD204B каждое устройство имеет отдельный тактовый сигнал. Все такто-

вые сигналы исходят из одного и того же генератора. При этом следует убедиться, что для каждого устройства известно соотношение между его индивидуальным сигналом кадровой синхронизации (frame clock) и мастер-сигналом синхронизации (device clock).

### ПРЕИМУЩЕСТВА JESD204

Примерно так же, как в свое время на смену устройствам LVDS пришли КМОП, в настоящее время на первый план выходят устройства JESD204. Хотя переход полностью еще не произошел, высокое быстродействие и разрешение современных преобразователей не позволяют продолжать использовать технологии LVDS и КМОП. При большом потоке данных на выходах КМОП переходные токи увеличиваются, что приводит к большему потреблению. В устройствах LVDS этого не происходит, однако имеется верхний предел скорости. Кроме того, сложно достигнуть синхронизации линий.

Рисунок 4 иллюстрирует требования к мощности потребления микросхем КМОП, LVDS и CML (current-merged logic – логические схемы на переключателях тока) для сдвоенного 14-разрядного АЦП.

При частоте выборки 150–200 млн выб./с и разрешении 14 бит выходные драйверы CML являются более энергоэффективными.

Благодаря сериализации данных логическим схемам на переключателях тока требуется меньше выходных пар при заданном разрешении, чем драйверам LVDS и КМОП.

Дополнительное преимущество драйверов CML, предназначенных для интерфейса JESD204B, заключается в том, что спецификация определяет меньшие уровни размаха напряжения по мере увеличения частоты выборок и соответствующего роста частоты выходного сигнала.

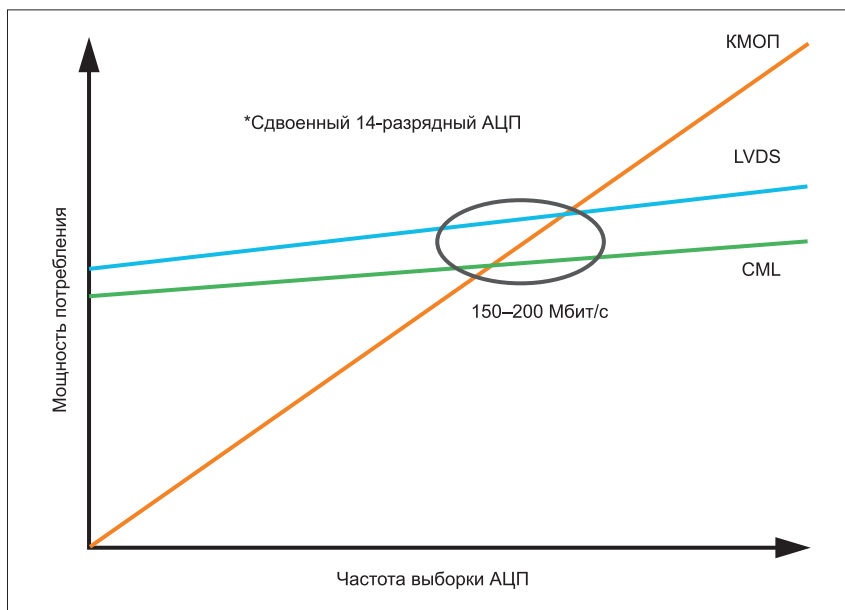


Рис. 4. Сравнение мощности потребления микросхем КМОП, LVDS и драйверов на токовых переключателях (CML)

Таблица. Сравнение количества выводов для АЦП с частотой выборки 200 млн выб./с

Кол-во каналов	Разрешение	Кол-во выводов КМОП	Кол-во выводов LVDS (DDR)	Кол-во выводов JESD204B (токовые переключатели)
1	12	13	14	2
2	12	26	28	4
4	12	52	56	8
8	12	104	112	16
1	14	15	16	2
2	14	30	32	4
4	14	60	64	8
8	14	120	128	16
1	16	17	18	2
2	16	34	36	4
4	16	68	72	8
8	16	136	144	16

Наконец, значительно ниже стало количество выводов, требуемое для одного и того же разрешения и частоты выборки преобразователя. В таблице сравниваются количества выводов для трех разных типов интерфейса при частоте выборки 200 млн выб./с, разных разрешениях и количествах каналов. Для КМОП и LVDS предполагается, что тактовые сигналы синхронизованы, максимальная скорость передачи данных равна 4,0 Гбит/с для JESD204B при использовании токовых переключателей CML. Поскольку JESD204B требуется гораздо меньше выводов, этот стандарт получил широкое распространение.

Компания Analog Devices выпустила несколько преобразователей для всех версий JESD204, например, 4-канальный 12-разрядный АЦП AD9639 с частотой выборки 170/210 млн выб./с и интерфейсом JESD204. В случае с JESD204A предлагаются 14-разрядные преобразователи AD9644 и AD9641 (80/155 млн выб./с). В качестве примера ЦАП можно привести 16-разрядный сдвоенный преобразователь AD9128 с частотой 1250 млн выб./с и интерфейсом JESD204A.

#### ВЫВОДЫ

Стандарт JESD204 эволюционирует в соответствии с совершенствованием преобразователей данных, обеспечивая требуемую скорость передачи данных между преобразователями и ПЛИС или ASIC. К настоящему времени появились два редакции стандарта.

Вне всяких сомнений, JESD204 станет признанным отраслевым стандартом. Каждая новая редакция отвечает новым требованиям, и в дальнейшем JESD204 будет продолжать совершенствоваться. —