

МУЛЬТИМЕДИЙНЫЕ СЧК СЕМЕЙСТВ DRA7xxP ОТ TEXAS INSTRUMENTS

ВЯЧЕСЛАВ СЕННИКОВ, workmcu124816@gmail.com

В статье рассмотрены СЧК семейств DRA7xxP от Texas Instruments. Поскольку объем справочного руководства по СЧК [1] превышает 6500 страниц и формат журнальной статьи не позволяет подробно описать ее устройство, кратко описаны лишь основные функциональные модули и подсистемы. Автор надеется, что статья позволит читателям получить общее представление о возможностях этих СЧК.

Относительно недавно компания Texas Instruments дополнила семейства СЧК DRA74xP, DRA75xP, DRA76xP, DRA77xP (далее в тексте – СЧК). В их основу положена известная архитектура OMAP, адаптированная к технологии 28 нм. Эти СЧК представляют собой мощную многоядерную процессорную систему обработки мультимедийной информации. Для подтверждения наших слов приведем некоторые функциональные возможности и особенности СЧК:

- потоковое видео высокой четкости (Full-HD) с разрешением 1920x1080 пик., 60 кадров/с;
- декодирование цифрового радио стандартов DAB, HD Radio и аналогового радио AM/FM/RDS;
- обработка 2D- и 3D-графики;
- видеоанализ;
- интерфейс видекамеры;
- 2-ядерная подсистема на основе ядер ARM Cortex-A15;
- 2-ядерная подсистема цифровой обработки сигналов на основе ядер С66х;
- 2-ядерная подсистема обработки изображения на основе ARM Cortex-M4.

Более полное представление о СЧК даст ее функциональная схема, показанная на рисунке 1, и структурная схема СЧК с подключенными внешними устройствами (см. рис. 2). В этой статье мы расскажем об основных функциональных узлах и возможностях СЧК.

Архитектура СЧК отличается от обычной микроконтроллерной архитектуры тем, что СЧК состоит из взаимодействующих между собой подсистем, которые обладают высокой степенью автономности. В СЧК отсутствует характерное для микроконтроллеров понятие ЦП, и это не вопрос терминологии, а отражение особенностей архитектуры СЧК.

СЧК специально предназначена для автомобильных систем, таких как мультимедийная система для пассажиров

на задних сиденьях, блок содействия водителю (ADAS), цифровая панель приборов. Однако ее можно использовать и в других приложениях, среди которых – информационно-развлекательные системы, цифровое и аналоговое радио, воспроизведение мультимедиа, навигация, просмотр веб-страниц.

2-ЯДЕРНАЯ ПОДСИСТЕМА НА ОСНОВЕ ЯДЕР ARM CORTEX-A15

Этот микропроцессорный модуль (MPU) обеспечивает обработку приложений с помощью высокоуровневой операционной системы (HLOS). Подсистема MPU построена по симметричной микропроцессорной архитектуре (SMP). В состав подсистемы входят два ядра Cortex-A15 (MPU_C0 и MPU_C1), кэш-память данных емкостью 32 Кбайт и кэш-память команд также объемом 32 Кбайт уровня L1 в каждом ядре. Кроме того, в состав MPU входит общая для обоих ядер кэш-память уровня L2 емкостью до 2 Мбайт. Структурная схема подсистемы MPU показана на рисунке 3.

По сути, подсистема MPU представляет собой высокопроизводительную вычислительную платформу с высокой пиковой производительностью и низкой латентностью памяти. Для уменьшения энергопотребления можно отключить одно из ядер, уменьшить тактовую частоту и напряжение питания другого ядра. Максимальная частота тактирования MPU составляет 532 МГц.

Ядра Cortex-A15 построены по суперскалярной архитектуре и достаточно подробно описаны в специальной литературе, поэтому мы не будем рассматривать их во всех подробностях, а лишь перечислим основные особенности:

- допускается выполнение инструкций с изменением порядка очередности (OoO);

СЛОВАРЬ

AVS – адаптивное изменение напряжения
BTB – целевой буфер ветвлений
CAL – адаптер камеры
CAMSS – подсистема камеры
DMEM – память данных подсистемы EVE
DMM – управление динамической памятью
DSS – дисплейная подсистема отображения
DVFS – динамическое изменение напряжения и частоты
ELM – модуль локализации коррекции
EMIF – интерфейс внешней памяти
EVE – подсистема видеобработки
GIC – защищенный контроллер прерываний
GHB – общий буфер истории команд
GPMC – контроллер памяти общего назначения
HLOS – высокоуровневая операционная система
IPU – процессор обработки изображений
ISP – процессор обработки изображений
ISS – подсистема обработки изображений
KBD – контроллер клавиатуры
HSYNC – горизонтальная синхронизация
MPU – микропроцессорный модуль
MPU_MA – адаптер памяти модуля MPU
OSM – подсистема памяти, встроенная в СЧК
OoO – выполнение инструкций с изменением порядка очередности
PCRM – блок управления тактированием, питанием и сбросом
SDRC – контроллер памяти SDRAM
SIMCOP – сопроцессор обработки статического изображения
SMP – симметричная микропроцессорная архитектура
TILER – равномерное заполнение областей динамической памяти
TLB – буфер ассоциативной трансляции
VCP – сопроцессор декодера Витерби
VIP – входной порт для видеосигналов
VPE – процессор видеобработки
VSYNC – вертикальная синхронизация
VPDMA – прямой доступ к видеопамати

DRA75xP / DRA74xP / DRA77xP / DRA76xP

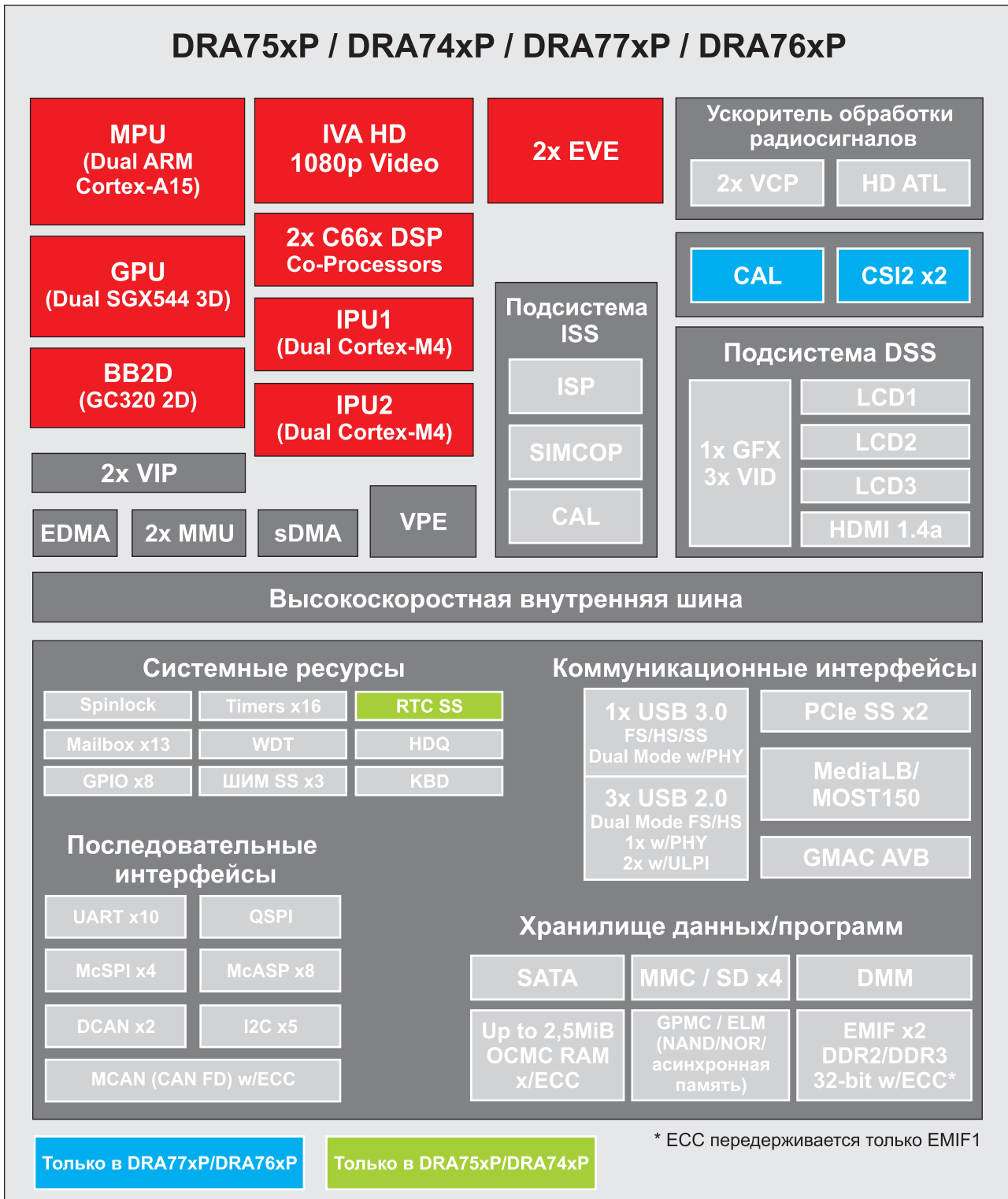


Рис. 1. Функциональная схема SnK

- динамическое прогнозирование ветвлений с целевым буфером ветвлений (VTV) и общим буфером истории команд (GHB);
- выборка и декодирование трех команд за один такт;
- встроенный векторный сопроцессор Neon с SIMD;
- пять блоков обработки команд: команды ветвления; команды векторного сопроцессора Neon и операции с числами с плаваю-

- щей запятой; умножение; загрузка и хранение команд;
- поддерживается буфер ассоциативной трансляции (TLB) и новый 64-бит формат страниц таблицы;
- новый формат таблицы позволяет формировать 40-бит адреса;
- 64-бит порт для подключения внешней памяти уровня L3. Интерфейс внешней памяти тактируется частотой равной 1/4 или 1/8 тактовой частоты ядра;

- поддерживаются 160 прерываний от периферийных модулей;
 - виртуализация поддерживается с помощью виртуального интерфейса. При этом большинство гостевых ОС взаимодействуют с защищенным контроллером прерываний GIC на аппаратном уровне с физическими прерываниями, которые распределяются гипервизором.
- Адаптер памяти MPU_MA позволяет уменьшить задержку обмена данными

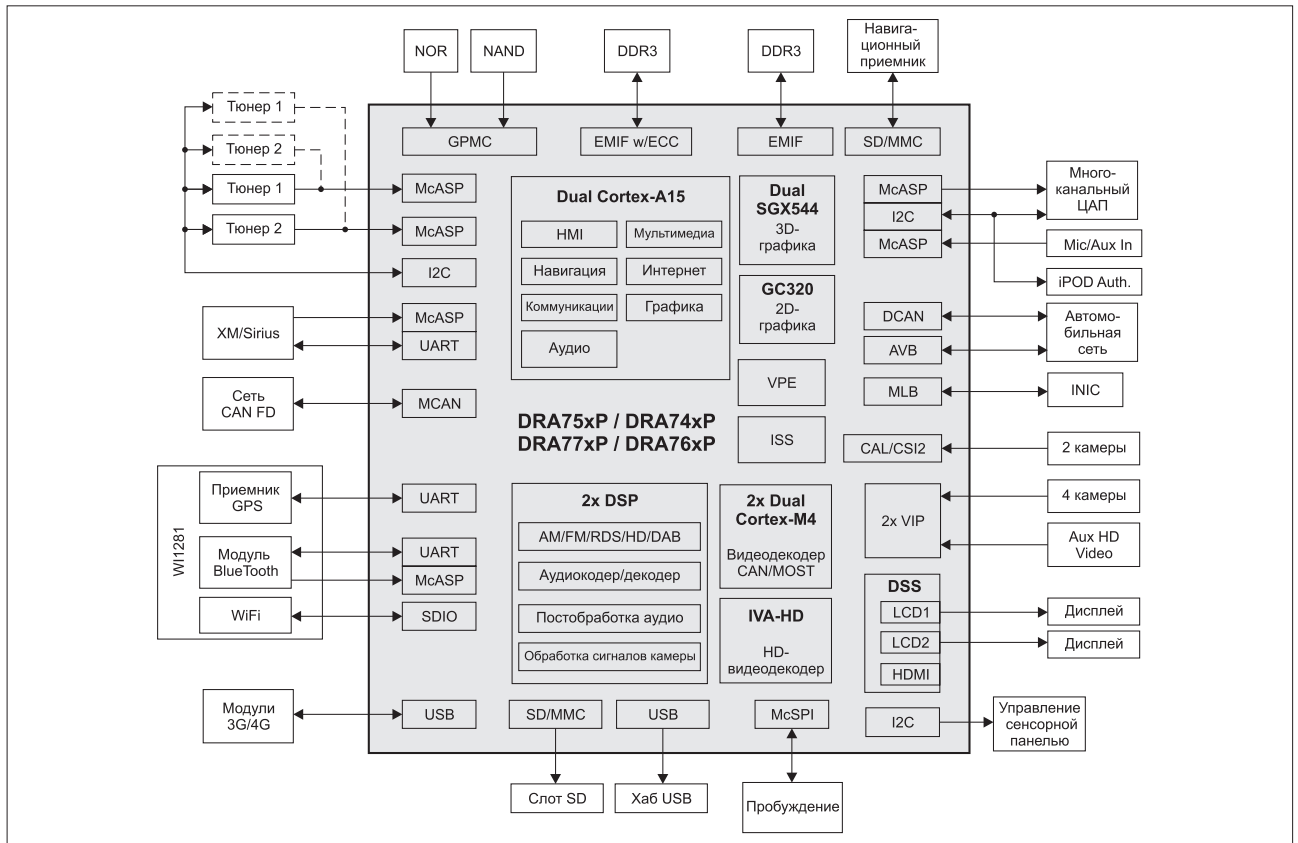


Рис. 2. Схема подключения внешних устройств к СнК

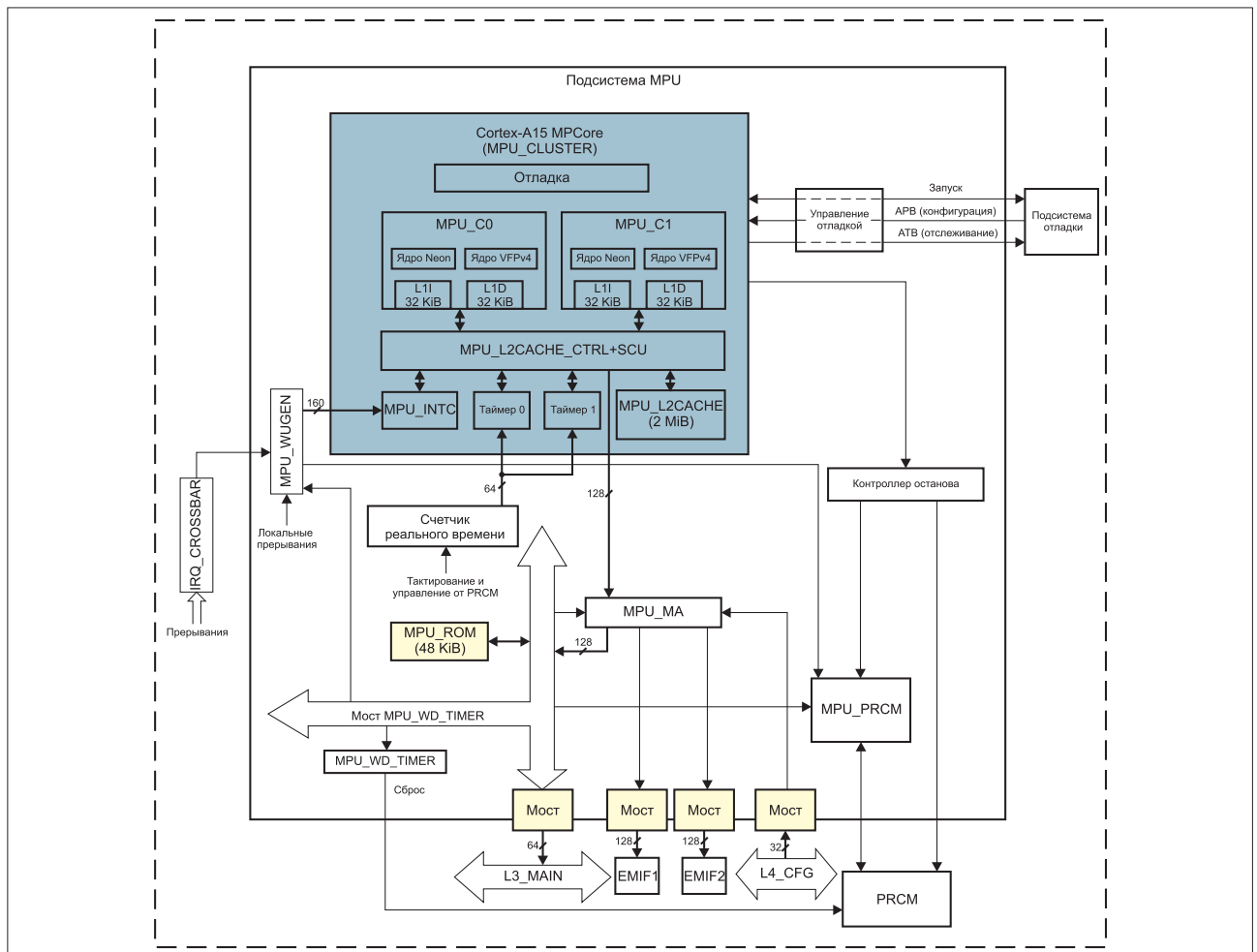


Рис. 3. Структурная схема подсистемы MPU

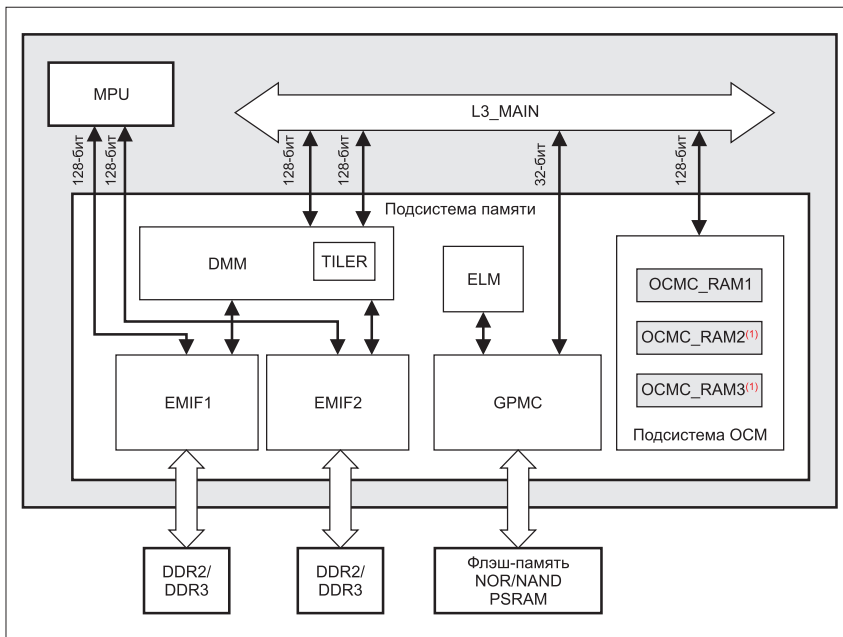


Рис. 4. Структурная схема подсистемы памяти

между двумя модулями EMIF и памятью уровня L2. Он обеспечивает прямую связь между подсистемой MPU и интерфейсом EMIF, а также поддерживает параллельные процессы чтения и записи. Адаптер поддерживает брандмауэр, проверяет права доступа к отдельным адресам, запрещает чтение и запись EMIF при ошибках авторизации. Кроме того, адаптер конфигурирует до восьми областей памяти с фиксированными приоритетами.

ПАМЯТЬ

Подсистема памяти иерархически разделена на четыре уровня:

- уровень L1 – кэш-память данных и кэш-память команд, входящая в каждое из двух ядер Cortex-A15. В общей сложности, имеются четыре модуля памяти по 32 Кбайт каждый;
- уровень L2 – ОЗУ объемом до 2 Мбайт в составе СнК для подсистем MPU, DSP и IPU;
- уровень L3 _MAIN обеспечивает связь между модулями подсистем, контроллером памяти общего назначения GPMC, контроллером SDRAM (SDRC) и EMIF/DMM;
- уровень L4, обеспечивающий передачу данных между периферийными модулями, состоит из пяти областей.

Структурная схема подсистемы памяти показана на рисунке 4. Модуль управления динамической памятью DMM формирует приоритеты и отмечает инициатора обращения. Он распределяет трафик по всем подключенным контроллерам в соответствии с заданной последовательностью чередования.

В состав DMM входит модуль TILER, который обеспечивает равномерное заполнение областей динамической памяти. TILER позволяет увеличить производительность при обработке 2-мерных изображений, элементы которого располагаются в памяти отдельными фрагментами, и также отдельными фрагментами считывается из памяти. С помощью TILER упрощается построение горизонтальных и вертикальных отражений, а также преобразования с поворотом фрагментов на 90, 180 и 270°. TILER преобразует адреса в соответствии с запрошенным преобразованием на 90, 180 или 270°. Он осуществляет перенос адресов страниц для управления фрагментацией памяти.

Два модуля интерфейса внешней памяти EMIF реализуют связь с динамической памятью, управляют сигналами чтения и записи. Поддерживается объем страницы 256, 512, 1024 и 2048 байт. EMIF осуществляет автоматическую инициализацию SDRAM при сбросе и изменении конфигурации.

Контроллер памяти общего назначения GPMC, использующийся для управления внешней памятью, обеспечивает связь со всеми типами стандартной памяти программ. Он реализует синхронный и асинхронный доступ для чтения и записи, а также поддерживает мультиплексирование адресов и данных. Разрядность данных может составлять 8 или 16 бит. Величина адресного пространства GPMC составляет 1 Гбайт. Его можно разделить на восемь областей. Допускается реализация транзакций с поддержкой брандмауэра.

Если в качестве внешней памяти используется флэш-память NAND без внутренней коррекции («голая» NAND), то процедура коррекции может осуществляться модулем локализации коррекции (ELM), встроенным в контроллер GPMC. Модуль ELM локализует ошибку с помощью кода исправления ошибки BCH (код Боуза-Чоудхури-Хоквингема).

Подсистема встроенной памяти (OCM) поддерживает интерфейс данных L3 _MAIN с шириной шины данных 128 бит и интерфейс L4, используемый для конфигурационных регистров, с шириной шины 32 бит. Для коррекции ошибок используется код Хэмминга.

УПРАВЛЕНИЕ ПИТАНИЕМ, СБРОС И ТАКТИРОВАНИЕ

Управление питанием, сбросом и тактированием осуществляет подсистема PCRM. Все модули СнК распределены на домены, которые имеют одни и те же источники тактирования или шины питания. На рисунке 5 приведен фрагмент построения системы тактирования. В зависимости от типа модулей им может потребоваться разное число тактовых последовательностей. Заметим, что на рисунке 5 показаны именно отдельные модули, а не подсистемы.

Тактовые последовательности делятся на интерфейсные (ICLK) и функциональные (FCLK). Последовательности ICLK, в основном, тактируют каскады (элементы модулей), осуществ-

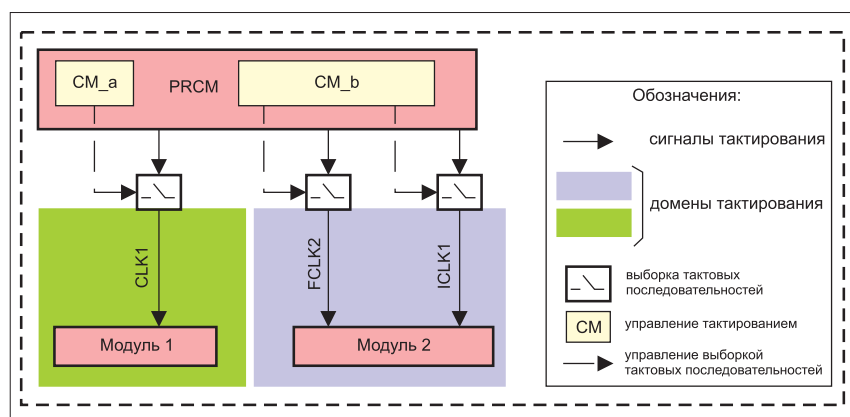


Рис. 5. Фрагмент системы тактирования СнК

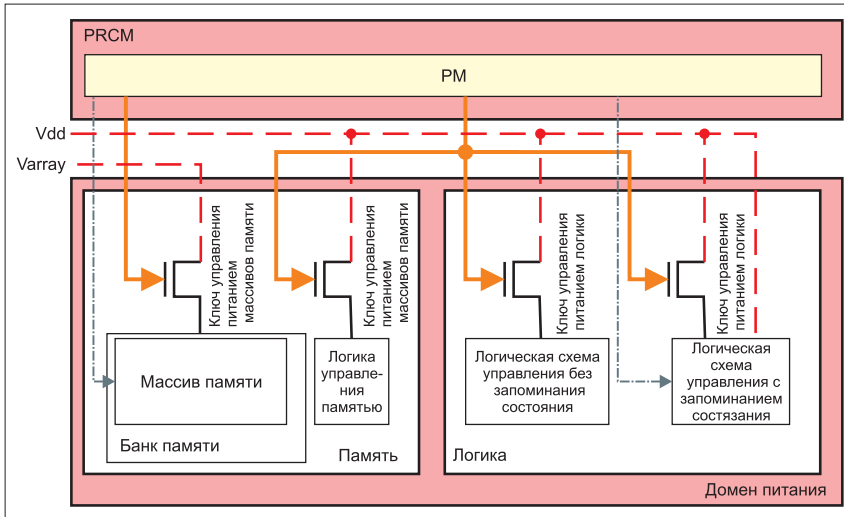


Рис. 6. Упрощенная схема системы питания домена

вляющие взаимосвязь между подсистемами и модулями СнК. Большинство модулей имеет только одну последовательность ICLK, но бывают и исключения, когда модуль подключен к нескольким шинам. В таких случаях требуется несколько последовательностей. Функциональные последовательности FCLK тактируют функциональную часть модуля, осуществляющую управление модулем или подсистемой. Для некоторых модулей может потребоваться несколько последовательностей FCLK.

Домены тактовых частот могут быть зависимыми или независимыми. Например, домен А зависит от домена В в случае, когда модуль домена В необходим для функционирования модуля домена А. При этом домен В или только один из модулей домена В должен всегда тактироваться, если домен А находится в активном состоянии.

Домены управления питанием организованы схожим образом, что и домены тактирования. Упрощенная схема системы питания домена показана на рисунке 6. Домены разделяются на элементы управления и элементы памяти. Домен памяти состоит из массива запоминающих элементов и питается от отдельной шины, например V_{ARRAY} ; как показано на рисунке 6, массив управляется отдельным ключом. Элементы управляющей логики в общем случае разделяются на две части – элементы с запоминанием состояния и без запоминания. Питание каждой части домена коммутируется индивидуальным ключом. Любой домен можно отключить от питания; при этом его отключение не скажется на других доменах.

Заметим, что в подсистеме PRCM отсутствует аппаратный мониторинг напряжения. Контроль напряжения можно реализовать программными средствами. Для оптимизации производительности СнК реализована интеллектуальная система управления питанием, учитывающая разброс характеристик микросхем, который неизбежно возникает из-за разброса параметров процессе производства. При этом для нивелирования разброса характеристик, а, следовательно, и производительности используется адаптивное изменение напряжения (AVS). Уменьшение производительности из-за производственного разброса компенсируется повышением напряжения.

Заметим, что в подсистеме PRCM отсутствует аппаратный мониторинг напряжения. Контроль напряжения можно реализовать программными средствами. Для оптимизации производительности СнК реализована интеллектуальная система управления питанием, учитывающая разброс характеристик микросхем, который неизбежно возникает из-за разброса параметров процессе производства. При этом для нивелирования разброса характеристик, а, следовательно, и производительности используется адаптивное изменение напряжения (AVS). Уменьшение производительности из-за производственного разброса компенсируется повышением напряжения.

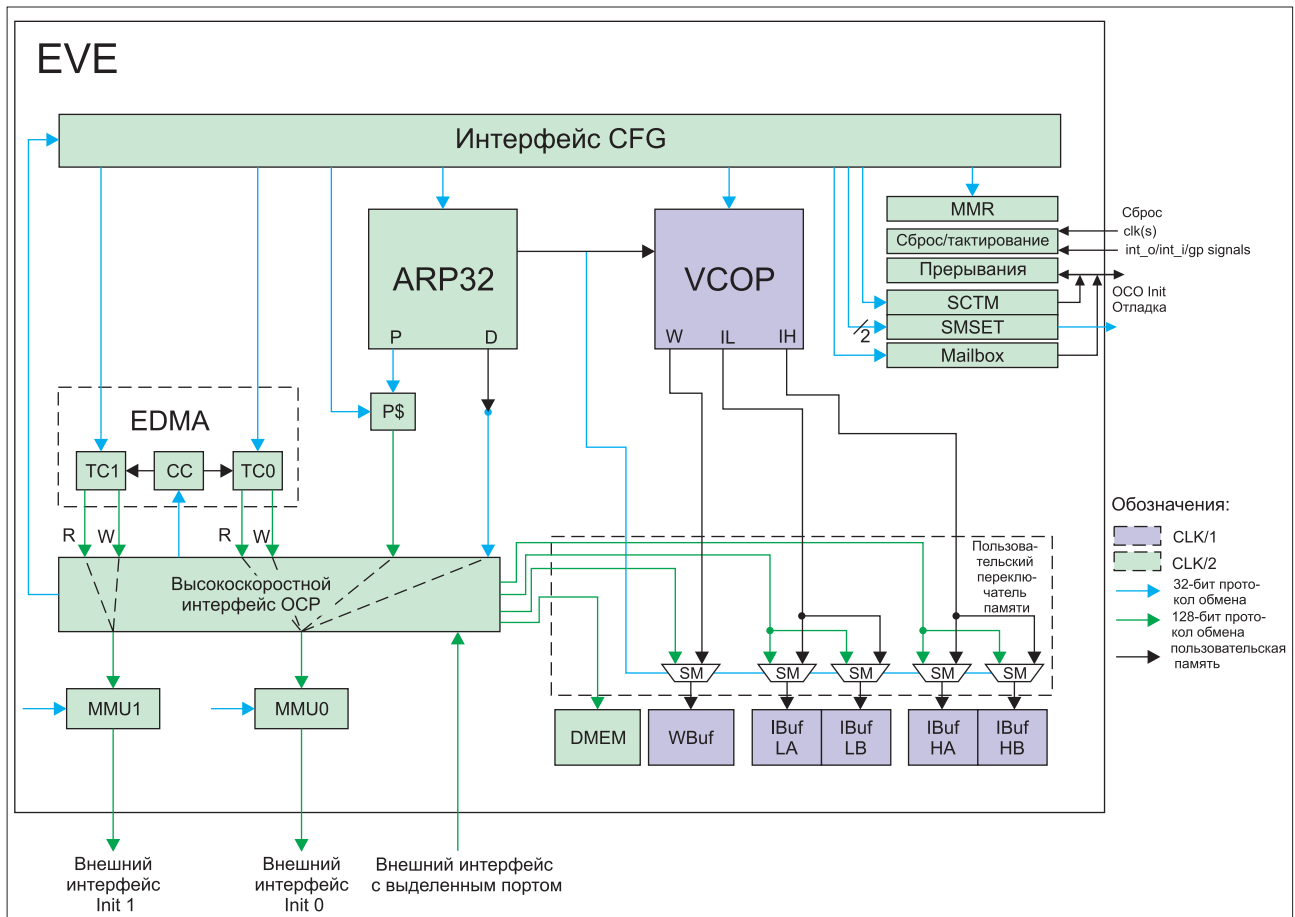


Рис. 7. Структурная схема подсистемы EVE

Для уменьшения энергопотребления в процессе работы используется метод динамического изменения напряжения и частоты (DVFS). При этом выбирается оптимальное значение напряжения и частоты, позволяющее выполнить задачу за требуемое время. В этом случае удается избежать пикового потребления энергии, равномернее распределить мощность потребления между всеми подсистемами и модулями СнК.

Сигналы сброса в СнК разделяются по четырем критериям:

- глобальный или локальный сброс;
- «холодный» или «теплый» сброс;
- в зависимости от источника сброса;
- сброс с удержанием или возвратом.

При глобальном сбросе происходит сброс всех без исключения подсистем и модулей СнК. Локальный сброс подразумевает сброс одного домена питания. «Холодный» сброс вызывается при некоторых режимах эмуляции или при включении питания. Это одна из разновидностей глобального сброса. «Теплый» сброс используется для сброса конкретных модулей СнК. Источником сброса может быть аппаратное или программное обеспечение.

ПОДСИСТЕМА ВИДЕООБРАБОТКИ

Подсистема обработки видео (Embedded Vision, EVE) предназначена для обработки видеосигналов и изображений. В состав СнК входят две подсистемы. Структурная схема подсистемы показана на рисунке 7. Основными модулями EVE являются скалярное ядро ARP32, управляющее обработкой видео и изображений, а также координирующее взаимодействие EVE с остальными элементами СнК, и векторный сопроцессор VCOP, использующий формат инструкций SIMD.

Интерфейсная часть подсистемы EVE разделена на две части. Первая из них, высокоскоростной интерфейс, служит для обмена данными. Другая часть, конфигурационный интерфейс, используется для связи со служебными регистрами модулей, входящих в подсистему EVE. Модуль EDMA является локальным DMA и обеспечивает интерфейс с внешней памятью уровня L3. В качестве внешней памяти чаще всего используется SDRAM или внешняя SRAM уровня L3. 128-бит шина обеспечивает страничный обмен данных между EVE и памятью уровня L3. ARP32 производит выборку команд из системной памяти через кэш объемом 32 Кбайт. Такой же объем имеет и память данных DMEM.

Пользовательский переключатель памяти обеспечивает мультиплексирование памяти с низкой задержкой при обмене данными через высокоскоростной интерфейс с сопроцессором VCOP. Кроме того, пользовательский переключатель памяти позволяет реализовать обмен данными через высокоскоростной интерфейс с любым модулем подсистемы EVE. В блок регистров MMR записываются биты управления состоянием, а блок SCTM предназначен для отладки. Этот же блок сохраняет события – количество запросов VCOP, количества пропусков кэша и т. д.

ARP32 представляет собой 32-бит специализированный высокопроизводительный встраиваемый процессор, предназначенный для видеоанализа и систем компьютерного зрения. Он состоит из пяти основных модулей.

- Блок L производит логические операции, сдвиг, вращение, извлечение, реверсирование, очистку, установку регистров и битов, сравнение.
- Блок S осуществляет операции переноса.
- Блок D производит арифметические операции, а также расчет адресов, вычисление положения указателя стека, операции инкрементирования

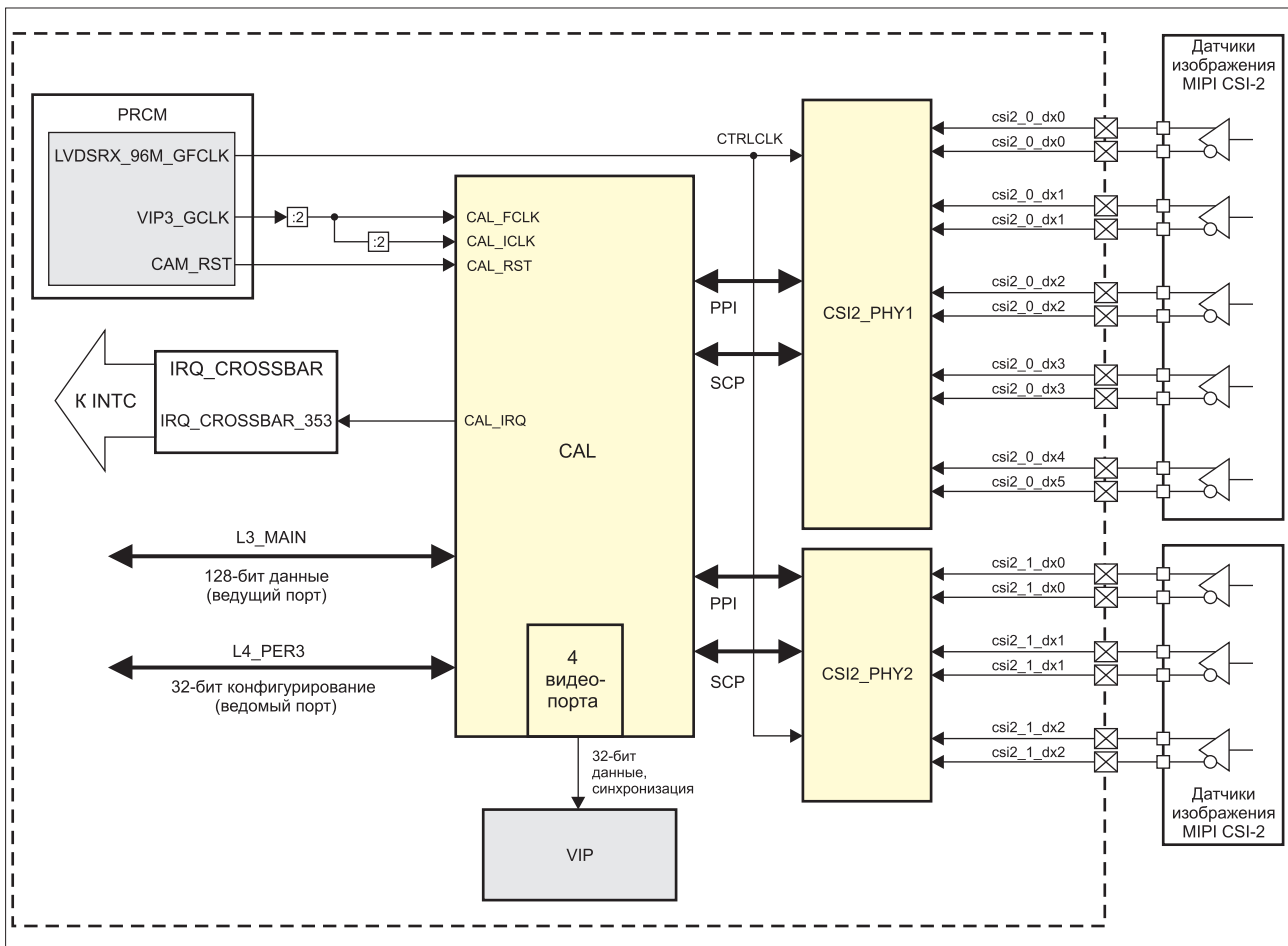


Рис. 8. Структурная схема подсистемы камеры CAMSS

ния/декрементирования и некоторые другие команды.

- Блок M выполняет операцию умножения.
- Блок DIV используется для логического разделения последовательности битов.

Векторный сопроцессор VCOP используется для обработки 2D-блоков в системах видеоанализа и обработки изображений. Его адресное пространство определяется 20-бит вектором. VCOP поддерживает вычисления общего назначения, поиск в таблицах, построение гистограмм и нормированных гистограмм.

ПОДСИСТЕМА КАМЕРЫ

Структурная схема подсистемы камеры (CAMSS) показана на рисунке 8. В максимальной конфигурации в подсистему входит адаптер камеры (CAL) и два уровня PHY (CSI2_PHY1 и CSI2_PHY2), совместимые с MIPI D-PHY. Адаптер CAL имеет пропускную способность 304 Мпикс./с. Частота тактирования при передаче байта составляет 187,5 МГц, что для PHY означает скорость передачи 1,5 Гбит/с на одну линию.

Связь с областью памяти уровня L4 осуществляется через 32-бит ведомый интерфейс, а связь с областью памяти L3_MAIN – через 128-бит ведущий интерфейс.

Подсистема обеспечивает одновременную обработку до четырех контекстов и передачу через DMA до восьми контекстов, в состав которых входят заголовки, пиксели или атрибуты данных. Подсистема также удаляет лишние пиксели из горизонтальной развер-

ки, пакетирует данные независимых видеопотоков, обрабатывает и передает 1D- и 2D-адреса и т.д. Видеопорты CAMSS служат для связи с видеопортами VIP СнК. Всего используются четыре видеопорта. Возможна передача до двух пикселей за один цикл, предусмотрены буфер сглаживания скорости передачи.

D-PHY объединяет данные, принятые с нескольких линий, обнаруживает и исправляет ошибки, извлекает идентификаторы, коды синхронизации и переформатирует поток для обработки данных в адаптере CAL. Данные из всех источников мультиплексируются с 64-бит детализацией и затем обрабатываются конвейером CAL. Конвейер данных пересылает 64-бит слова, 5-бит указатель данных, 4-бит указатель валидации и 5-бит номер порта CPORT.

ВИДЕОПОРТ

Порт VIP производит захват видеосигналов. В состав VIP входят блоки видеобработки. Его интерфейс с видеопамятью реализован через прямой доступ (VPDMA). В состав МК входят два порта VIP, которые обеспечивают в общей сложности захват до восьми видеопотоков. Структурная схема портов VIP и их интерфейс показаны на рисунке 9. Порт А в составе VIP может конфигурироваться как 8, 16- или 24-бит порт. Порт В всегда представляет собой 8-бит порт.

Каждый видеопорт А, который может принимать сигналы с разной независимой частотой синхронизации, поддерживает внешний асинхронный источник тактирования с частотой

до 165 МГц/пикс. Перечислим основные функциональные возможности и параметры порта VIP.

- Порт А поддерживает ширину шины 24 бит и соответствует спецификации BT.1120 для 16- и 24-бит данных.
- 24-бит данные могут конфигурироваться следующим образом:
 - 8-бит YUV422 (чередование во времени Y и U/V);
 - 16-бит YUV422 (чередование во времени CbY и CrY);
 - 24-бит YUV444;
 - 16-бит RGB565;
 - 12/16-бит RAW;
 - 24-бит RAW.
- Режимы синхронизации:
 - VSYNC + HSYNC;
 - VSYNC + ACTVID + FID;
 - VBLANK + ACTVID.
- Преобразование и масштабирование форматов:
 - программирование и преобразование цветового пространства;
 - YUV422 в YUV444;
 - YUV444 в YUV422;
 - YUV422 в YUV420;
 - YUV444 в YUV444, YUV444 в RGB888, YUV444 в YUV422, YUV444 в YUV420;
 - RGB888 в RGB888, RGB888 в YUV444, RGB888 в YUV422, RGB888 в YUV420;
 - YUV422 в YUV422, YUV422 в YUV420, YUV422 в YUV444, YUV422 в RGB888;
 - преобразование RAW в RAW (без обработки).
- поддерживается входной сигнал шириной до 2047 пикс. при масштабировании.
- Поддерживается входной сигнал шириной до 3840 пикс. при выборке цвет вверх/вниз без пересчета.

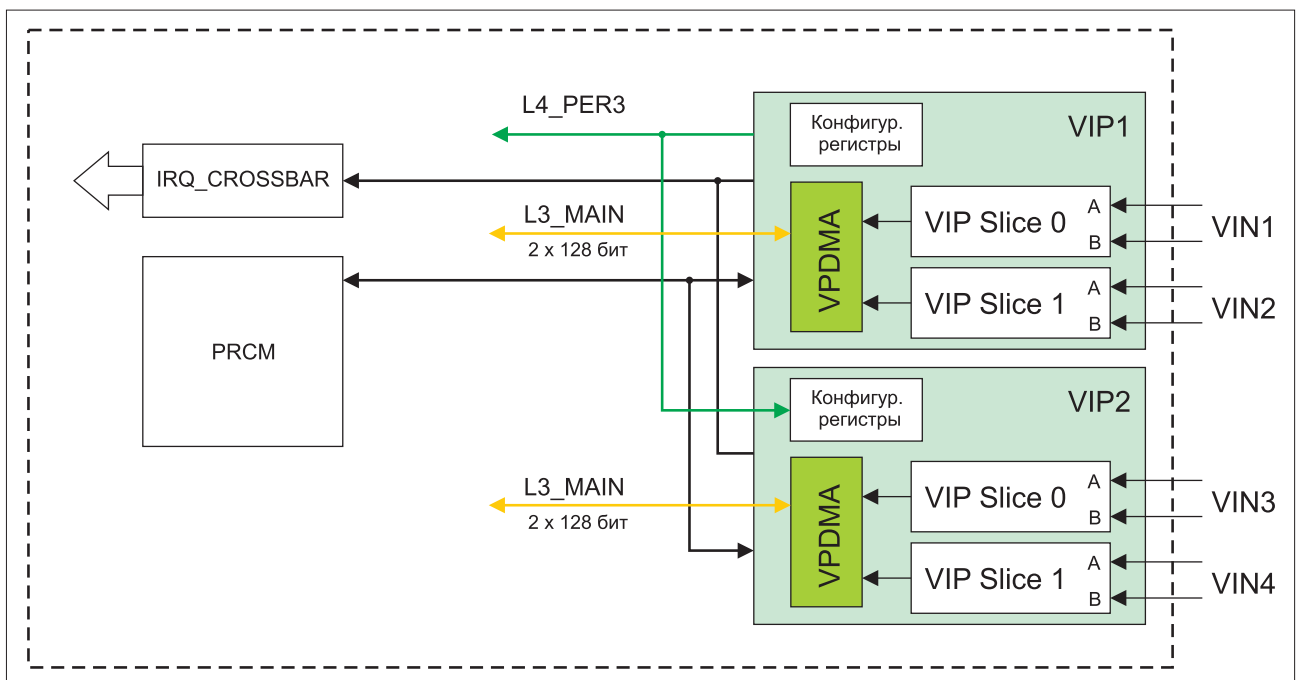


Рис. 9. Структурная схема портов VIP

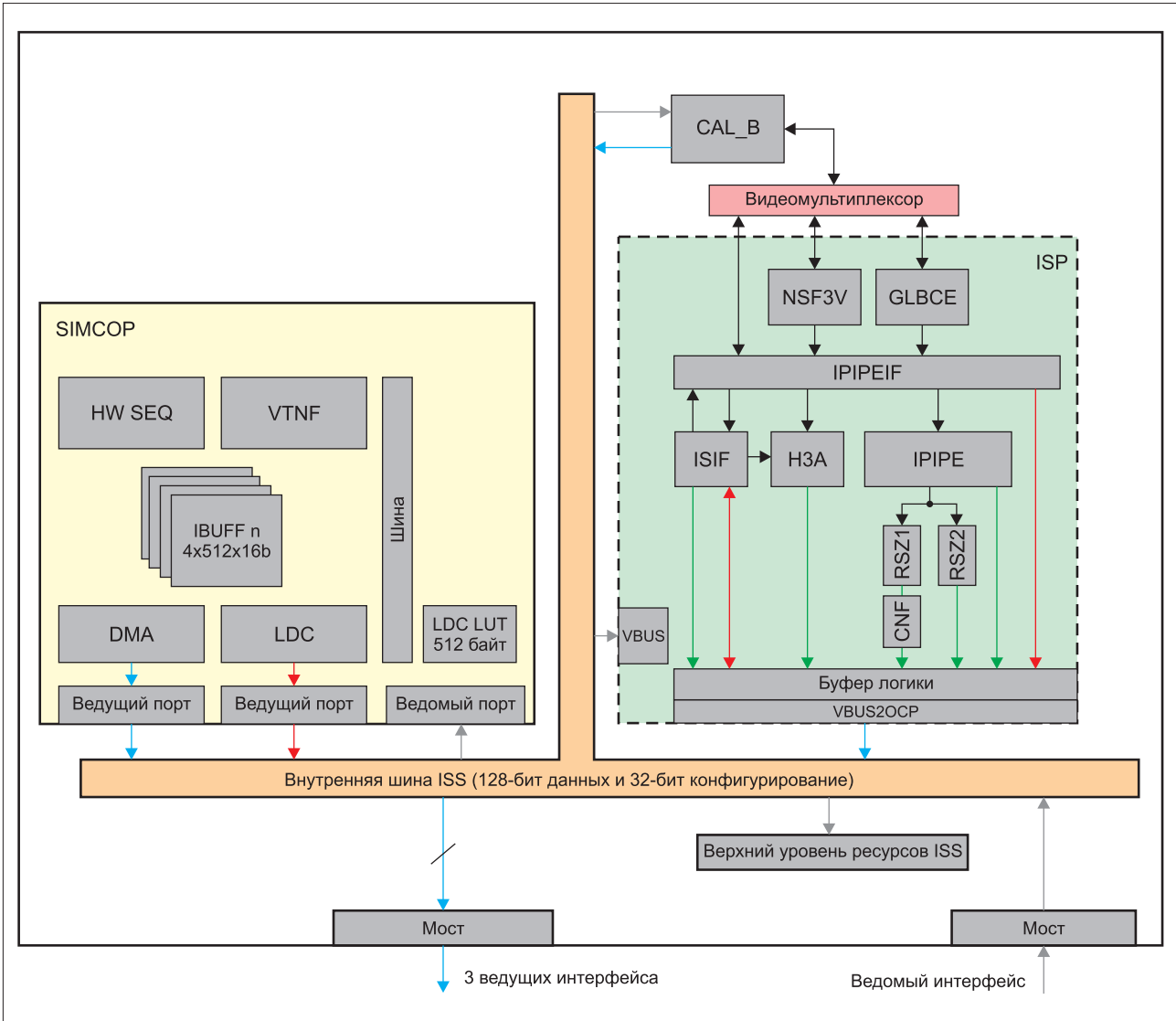


Рис. 10. Структурная схема подсистемы ISS

– Поддерживается входной сигнал шириной до 4095 пикс. без масштабирования и выборки цветности.

ПОДСИСТЕМА ОБРАБОТКИ ИЗОБРАЖЕНИЙ

Подсистема обработки изображений (ISS) занимается обработкой пикселей, извлекаемых из памяти уровня L3_MAIN. Структурная схема подсистемы ISS показана на рисунке 10. В случае использования в автомобильных системах подсистема ISS является ключевым компонентом для систем камеры кругового обзора, камеры заднего вида, стереокамеры фронтального обзора.

Подсистема ISS характеризуется высокой пропускной способностью – до 532 Мпикс./с. В режиме высокой производительности возможны следующие варианты работы ISS.

- Видео:
 - до 1080 пикс. при частоте 60 кадров/с;

- до 2×1080 пикс. при частоте 30 кадров/с.
- Стереовидео:
 - до 2×1080 пикс. при частоте 30 кадров/с.
- Просмотр до четырех камер одновременно с разделением по времени. Подсистема ISS состоит из трех основных частей:
 - процессор обработки изображений (ISP);
 - интерфейс камеры CAL;
 - сопроцессор обработки статического изображения SIMCOP.

Процессор обработки изображений ISP осуществляет обработку данных в направлении память–память, обработку исходных данных, поступающих через интерфейс камеры, осуществляет фильтрацию шума в соответствии со стандартом NSF3V, регулирует контрастность изображения, а также обрабатывает данные в форматах RGB, YUV и реализует цветовой фильтр.

Интерфейс камеры CAL считывает пиксели из памяти, производит первичную обработку и через видеомультимплексор перенаправляет их процессору ISP. Сопроцессор обработки статического изображения SIMCOP имеет прямой доступ к памяти. Он извлекает из памяти макроблоки и перемещает их в свою локальную память, корректирует искажение объектива и перспективу, производит временную фильтрацию и восстанавливает последовательность.

ПРОЧИЕ МУЛЬТИМЕДИЙНЫЕ ПОДСИСТЕМЫ СНК

Выше мы кратко описали основные, на наш взгляд, подсистемы, реализующие обработку мультимедиа. В этом подразделе мы перечислим и буквально в двух словах опишем остальные подсистемы, связанные с обработкой мультимедийных данных. Начнем с процессора обработки изображений IPU.

В СнК входят в процессора IPU, каждый из которых содержит два хорошо известных ядра ARM Cortex-M4. Для выполнения любой задачи используется либо одно, либо оба ядра. Способ использования ядер задается программно пользователем. В состав IPU входит память уровня L2 – ПЗУ объемом 16 Кбайт и ОЗУ емкостью 64 Кбайт. Процессор также имеет доступ к области L3_MAIN. Поддерживаются 64 внешних прерывания.

Процессор обработки видео VPE реализует обработку видео память–память, в т. ч. масштабирование, преобразование форматов, децимацию, фильтрацию и прочие операции предварительной обработки видеосигналов. Дисплейная подсистема отображения DSS используется для преобразования записи видеокadra из системной памяти в буфер ЖК-дисплея или телевизора. Подсистема DSS поддерживает до трех дисплеев с интерфейсами MIPI DPI 2.0, BT-656 или BT-1120. ТВ-выход поддерживает интерфейс HDMI и параллельный интерфейс DPI1.

Графический ускоритель 3D, который обрабатывает 2D- и 3D-графику, базируется на ядре POWERVR SGX544-MP2 компании Imagination Technologies – варианте

POWERVR SGX544 GPU. SGX является масштабируемой архитектурой для обработки мультимедийных данных, например пикселей, вершин и данных общего назначения. Графический ускоритель 2D, использующий ядро GC320 2D GPU от Vivante Corporation, служит для построения изображения на сенсором экране, графическом интерфейсе пользователя и в играх.

Контроллер клавиатуры KBD использует встроенный алгоритм с функцией антидребезга для сканирования клавиатурной матрицы максимальным размером 9×9. Частота сканирования составляет 32 кГц. Сопроцессор декодера Витерби (VCP) для декодирования голосовых и низкоскоростных каналов, например беспроводных сетей 2,5G, 3G, применяется для беспроводных станций IS2000 и 3GPP.

ДРУГИЕ МОДУЛИ И ПОДСИСТЕМЫ СнК

В состав СнК входят две идентичных подсистемы DSP, базирующиеся на хорошо известных ядрах TMS320C66x – улучшенных вариантах ядра TMS320C674x. В состав подсистем входит кэш-память уровней L1 и L2 (ПЗУ и ОЗУ). Поддерживаются 128 прерываний.

Помимо многочисленных мультимедийных подсистем, в состав СнК входят три идентичных модуля ШИМ для управления вспомогательным оборудованием. Каждый из них содержит 16-бит блок формирования импульсов с высоким разрешением, блок захвата и тракт обработки сигнала квадратного энкодера.

Обмен сообщениями между подсистемами MPU, DSP1, DSP2, IPU1 и IPU2 происходит через модули Mailbox (почтовые ящики). В составе СнК насчитываются 13 таких модулей. Разрядность сообщений – 32-бит, поддерживается 16-и 32-бит адресация.

Системный DMA с 32 логическими каналами осуществляет передачу данных память–память и память–периферийные устройства. Модуль позволяет осуществлять одновременно независимую передачу данных по нескольким каналам. Передаваемые данные могут иметь размер 8, 16 и 32 бит. ▢

ЛИТЕРАТУРА

1. DRA75xP, DRA74xP, DRA77xP, DRA76xP SoC for Automotive Infotainment Texas Instruments Jacinto 6 Plus Infotainment Family of Products Technical Reference Manual//www.ti.com.